

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-171421

(43)Date of publication of application : 26.06.1998

(51)Int.Cl. G09G 3/36
G02F 1/133

(21)Application number : 08-352358 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.12.1996 (72)Inventor : AOKI TORU

(54) PICTURE DISPLAY DEVICE, PICTURE DISPLAY METHOD, DISPLAY DRIVING
DEVICE, AND ELECTRONIC APPARATUS ADOPTING THEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce or prevent ghost by performing precharging based on picture element data to accurately supply picture element data to picture elements as a voltage in a liquid crystal display device or the like.

SOLUTION: A phase expansion circuit 32 samples a time-serial picture signal to output phase expansion signals, which are converted to a data length longer than the sampling period, in parallel, and a sampling switch 106 connected to a data signal line 112 takes one of phase expansion signals as the input and samples picture element data in the phase expansion signal to supply a data signal to a data signal line. A data line driving circuit 180 generates a sampling period signal shorter than a period corresponding to the data length of the phase expansion signal and supplies it to a sampling circuit, and a precharge period signal is generated based on the sampling period signal and is supplied to precharging switches 172a... connected in parallel to

sampling switches 106 by one end of the data signal line.

LEGAL STATUS [Date of request for examination] 06.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3661324

[Date of registration] 01.04.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The image display section which arranges a pixel in the pixel location formed of the crossover of two or more data signal lines and two or more scan signal lines, and grows into it, In the image display device which has a scan signal-line selection means to supply a scan signal to the sequential aforementioned scan signal line, is made to reverse the polarity of the electrical potential difference impressed to said pixel for every predetermined period, and is driven The picture signal which has serially data corresponding to each the location of said pixel is sampled. A phase expansion means to output at juxtaposition the phase expansion signal of N individual changed into the data length longer than the sampling period to the phase expansion signal line of N book, Connect with each the line of said data signal, respectively,

consider one of the phase expansion signals of said N individual as an input, respectively, and said pixel data in this phase expansion signal are sampled for a sampling period. Two or more switching means for a sampling to supply said data signal line as a data signal, The data signal line driving means which supplies the sampling period signal corresponding to said sampling period shorter than the period equivalent to the data length of said phase expansion signal to said switching means for a sampling, and drives said data signal line, At the precharge period in front of said sampling period for supplying said data signal to each the line of said data signal The image display device characterized by having two or more switching means for precharge to precharge each the line of said data signal with the polarity of the electrical potential difference impressed to said pixel based on the pixel data sampled in this sampling period, and the same polarity.

[Claim 2] The image display device characterized by carrying out parallel connection to said two or more switching means for a sampling, and two or more switching means for precharge at the end side of an each the line of said data signal in claim 1.

[Claim 3] It is the image display device characterized by generating the precharge period signal with which said data signal line driving means makes said two or more switching means for precharge turn on for said precharge period in claim 2 based on said sampling period signal, and supplying said two or more switching means for precharge.

[Claim 4] In claim 3, said phase expansion means shifts the head location of the pixel data of said phase expansion signal of N individual one by one based on a reference clock. Said phase expansion signal of N individual is outputted to said phase expansion signal line of N book at juxtaposition. Said data signal line driving means Said sampling period signal which shifts the initiation stage of said sampling period one by one, and sets it up is generated. And the image display device characterized by making said sampling period signal for setting up said sampling period about said data signal line of 1 serve a double purpose as said sampling period signal for setting up a precharge period about said other data signal lines.

[Claim 5] In claim 4 said data signal line driving means It has two or more step configuration which carries out the sequential shift of the input signal. The output signal of each stage a part with the output signal of the next step The shift register outputted to the timing with which a phase laps, Connect with the each ** means [switching] of said sampling, and said output signal which is two with which a signal phase laps mutually from said shift register is inputted. Two or more AND circuits outputted to said switching means for a sampling by making the AND into said sampling period signal, **** and said sampling period signal generated based on the output of two or more of said AND circuits is supplied to said two or more switching means for a sampling. The image display device which said switch for a sampling with which said sampling period signal is supplied to this signal is supplying the switch for

precharge by which parallel connection's is not carried out, and is characterized by making said sampling period signal serve a double purpose as a precharge period signal.

[Claim 6] In claim 3, said phase expansion means makes in agreement the head of the each the data of said pixel of said phase expansion signal of N individual. Said phase expansion signal of N individual is outputted to said phase expansion signal line of N book at juxtaposition. Said data signal line driving means The image display device characterized by supplying the common sampling period signal which made the initiation stage of a sampling period in agreement to said switching means for a sampling of N individual, and supplying a common precharge period signal to the switching means for precharge of other N individuals.

[Claim 7] The image display device characterized by supplying said common sampling period signal to the switching means for precharge of N individual besides the above as said common precharge period signal in claim 6.

[Claim 8] In claim 7 said data signal line driving means It has the shift register which a reference clock carries out a round term [every] sequential shift, and sends out an input signal. For said switching means for a sampling of N individual connected to the data signal line by which simultaneous actuation is carried out at eye m ($1 \leq m \leq$ total of total number of pixels / aforementioned phase expansion signal line on one scan signal line) watch Said shift register output of eye watch $(3m-2)$ within a 1 horizontal-scanning period is supplied as a sampling period signal. The image display device characterized by supplying said shift register output of eye $*(3m-2)$ watch to the switching means for precharge of other N individuals connected to the data signal line by which simultaneous actuation is carried out at eye watch $(m+1)$.

[Claim 9] The image display device characterized by setting up said precharge period about said all data signal lines within a horizontal blanking interval in claim 1 or 2.

[Claim 10] it be the image display device which said image display section be the liquid crystal panel which made liquid crystal intervene between the substrates of a couple in claim 1 thru/or either of 9 , and said two or more switching means for a sampling consist of two or more thin film transistors formed on said one substrate , and be characterize by supply said sampling period signal from said data signal line driving means to the gate of said thin film transistor of each .

[Claim 11] In claim 1 thru/or either of 10 said image display section The electrical potential difference which is the liquid crystal panel which made liquid crystal intervene between the substrates of a couple, and is impressed to the end of said pixel through said data signal line, A difference electrical potential difference with the electrical potential difference impressed to the other end of this pixel is impressed to said liquid crystal of said pixel location. And the 1st polarity picture signal which reverses and drives the polarity of the electric field impressed to said liquid crystal, and drives said pixel with the 1st polarity to a polarity-reversals reference potential from the picture signal inputted into the preceding paragraph of said phase expansion

means, The 2nd polarity picture signal which drives said pixel with the 2nd polarity of reversed polarity with said 1st polarity is generated. A polarity-reversals means to output either of said 1st and 2nd polarity picture signals to said phase expansion means based on a polarity-reversals timing signal is established further. Said phase expansion means The image display device which carries out phase expansion of said 1st and 2nd polarity picture signal, and is characterized by outputting the 1st and 2nd polarity phase expansion signal.

[Claim 12] In claim 1 thru/or either of 10 said image display section The electrical potential difference which is the liquid crystal panel which made liquid crystal intervene between the substrates of a couple, and is impressed to the end of said pixel through said data signal line, A difference electrical potential difference with the electrical potential difference impressed to the other end of this pixel is impressed to said liquid crystal of said pixel location. And the 1st polarity phase expansion signal which reverses and drives the polarity of the electric field impressed to said liquid crystal, and drives said pixel from one of the phase expansion signals of said N individual with the 1st polarity to a polarity-reversals reference potential in the latter part of said phase expansion means, The image display device characterized by having generated the 2nd polarity phase expansion signal which drives said pixel with the 2nd polarity of reversed polarity, and establishing further a polarity-reversals means to output either of said 1st and 2nd polarity phase expansion signals based on a polarity-reversals timing signal with said 1st polarity.

[Claim 13] The image display device characterized by establishing further a precharge potential supply means to switch the 1st precharge potential which precharges said data signal line with said 1st polarity, and the 2nd precharge potential which precharges said data signal line with said 2nd polarity whenever it chooses said scan signal line, and to supply it to said two or more switching means for precharge in claim 1 thru/or either of 12.

[Claim 14] The 1st precharge line connected to the oddth of two or more of said switching means for precharge in claim 2, The 2nd precharge line connected to the eventh of two or more of said switching means for precharge, The 1st precharge potential which precharges said data signal line with said 1st polarity, The image display device characterized by establishing further a precharge potential supply means to switch the 2nd precharge potential which precharges said data signal line with said 2nd polarity whenever it chooses said scan signal line, and to supply it to the said 1st and 2nd precharge line.

[Claim 15] Electronic equipment characterized by having an image display device according to claim 1 to 14.

[Claim 16] In the display driving gear which is reversed for every predetermined period and drives the polarity of the electrical potential difference to which the image display section which arranges a pixel in the pixel location formed of the crossover of two or

more data signal lines and two or more scan signal lines, and grows into it is impressed by said pixel The picture signal which has serially a scan signal-line selection means to supply a scan signal to the sequential aforementioned scan signal line, and data corresponding to each the location of said pixel is sampled. A phase expansion means to output to juxtaposition two or more phase expansion signals changed into the data length longer than the sampling period, Connect with each the line of said data signal, respectively, consider one of said two or more of the phase expansion signals as an input, respectively, and said data in said phase expansion signal are sampled. Two or more switching means for a sampling to supply said data signal line as a data signal, The sampling period signal of a sampling period shorter than the period equivalent to the data length of said phase expansion signal is generated. The data signal line driving means supplied to said switching means for a sampling, At the precharge period in front of said sampling period for supplying said data signal to each the line of said data signal The display driving gear characterized by establishing two or more switching means for precharge to precharge each the line of said data signal with the polarity of the electrical potential difference impressed to said pixel based on the pixel data sampled in this sampling period, and the same polarity.

[Claim 17] In the image display approach which has a pixel in the pixel location formed of the crossover of two or more data signal lines and two or more scan signal lines, is made to reverse the polarity of the electrical potential difference impressed to said pixel for every predetermined period, and is driven The picture signal which has serially data corresponding to each the location of said pixel is sampled. The process which outputs to juxtaposition two or more phase expansion signals changed into the data length longer than the sampling period, The process which samples said data in said two or more phase expansion signals, respectively in a sampling period shorter than the period equivalent to the data length of said phase expansion signal, The process which supplies the data sampled from said phase expansion signal as a data signal through said data signal line to said two or more pixels on the selected scan signal line while making sequential selection of said scan signal line, At the precharge period in front of said sampling period for supplying said data signal to each the line of said data signal The image display approach characterized by having the process which precharges each the line of said data signal with the polarity of the electrical potential difference impressed to said pixel based on the pixel data sampled in this sampling period, and the same polarity.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electronic equipment which used it for an image display device, the image display approach, and display driving gear lists, such as an active matrix liquid crystal display.

[0002]

Background Art and Problem(s) to be Solved by the Invention] for example, the actuation which writes data in the liquid crystal layer of each pixel in the liquid crystal display of a active-matrix mold at a 1 scan signal line through switching elements, such as TFT (thin film transistor) by which two or more connection was made, -- a dot order -- it is carrying out by degree actuation.

[0003] By the way, in order to reply to a demand of a multimedia response in recent years, for example, when displaying natural drawings, such as a video signal, with a personal computer (PC) or an engineering workstation (EWS), a response to multi-tone-izing of for example, 256 gradation etc. is desired.

[0004] When it is going to realize the response to this multi-tone-izing in the conventional digital driver, many numbers of input signals are needed only number-of-bits twice. For example, in the case of the color display of 256 gradation, it becomes the $3 \times (R, G, B) \times 8 \text{ bit} = 24$ number of input signals.

[0005] On the other hand, if it is an analog driver, it will end also with the case of color display with the one number of input signals at the case of 3 and monochrome display. Furthermore, to a gradation property being discrete, by the analog driver, a digital driver has a continuous gradation property and also has an advantage suitable for the display based on the usual video signal.

[0006] By the way, it is necessary to carry out sample hold of the data in a picture signal with a TFT switch etc. in an active matrix liquid crystal indicating equipment for above-mentioned point sequential actuation. At this time, the problem that switching characteristics, such as TFT, cannot fully follow to the frequency of an input picture signal arises. In the case of an indicating equipment with a built-in driver, compared with the case of the indicating equipment which used the external driver, the capacity of TFT for sample hold is low, and becomes more remarkable [the problem]. Moreover, in the case of the high definition display which has many pixels, since the frequency of an input picture signal becomes high, it becomes more remarkable [the above-mentioned problem].

[0007] For this reason, as shown in drawing 38, the technique which carries out phase expansion of the input picture signal at six parallel signals, lengthens the data length per pixel, and makes low signal frequency inputted into a liquid crystal panel is proposed (Japanese Patent Application No. No. 316988 [six to]).

[0008] By this phase expansion, even if the frequency characteristics of TFT as for example, a sample hold switch are not enough, the data length per pixel is lengthened and resolution can be made high.

[0009] As shown in drawing 38 , the data length of each phase expansion signal by which 6 phase expansion is carried out and a juxtaposition output is carried out, respectively serves as the length for six periods of a reference clock.

[0010] It tried to set the sampling period set up by the sampling period signal inputted into the gate of TFT in case this is sampled with sample hold switches, such as TFT, as the die length for eight periods of a reference clock at the beginning, as shown in drawing 38 .

[0011] It is because sufficient sampling period was set up to the data length in a phase expansion signal in consideration of the flattery nature of switching of TFT. Moreover, the sampling period signal which has this sampling period is because it was easily generable by using only a shift register.

[0012] However, when according to the experiment of this invention person the method of a table example of the arrow head 1 was carried out to Screen 2 as typically shown in drawing 39 for example, it became clear that the ghost 3 who shows the method Kogo stage of a scan of this arrow head 1 with a broken line may arise.

[0013] Moreover, the display unevenness by the bias of the electrical potential difference concerning liquid crystal is abolished, and in order to prevent degradation of the liquid crystal by the direct current concerning liquid crystal etc., polarity-reversals actuation which reverses the polarity of the electrical potential difference impressed to liquid crystal to predetermined timing is performed. Polarity-reversals actuation is actuation which impresses a polar (forward or negative polarity) electrical potential difference which is different at the end of liquid crystal on the basis of the potential impressed to the other end of liquid crystal. In addition, the polarity in this description means the polarity of the electrical potential difference impressed to the ends of liquid crystal. In order to carry out polarity-reversals actuation, in a active-matrix mold, the potential level of a picture signal is changed on the basis of the medium potential of the voltage swing of the picture signal which the potential impressed to a pixel electrode and the common electrode which counters is changed on both sides of liquid crystal, or is impressed to a pixel electrode.

[0014] Here, whenever it chooses a scan signal line, the polarity-reversals actuation method which combined dot reversal with the so-called line reversal or this so-called which performs polarity reversals is learned. In this case, even when it is on a sequential display, for example, writes the same black in two pixels connected to a scan signal line which is connected to the same data signal line, and is different, the signal level of each black image data differs for polarity-reversals actuation. Since the data signal line itself has parasitic capacitance at this time, time amount is taken to change the potential of a data signal line from the black potential of straight polarity to the black potential of negative polarity.

[0015] According to the conventional technique, since sufficient sampling period was set up to the data length in a phase expansion signal, sufficient time amount to carry

out the charge and discharge of the data signal line was securable. However, since an above-mentioned ghost's problem cannot be solved, the room of an improvement is in setting out of a sampling period, and it combines in this case, and it is necessary to carry out charge and discharge until it becomes data potential about a data signal line during a sampling period.

[0016] then, the place make into the object of this invention be to offer the electronic equipment which used it for the image display device, the image display approach, and display driving gear list which can reduce or prevent a ghost, can secure sufficient time amount to carry out the charge and discharge of the data signal line, can moreover supply an electrical potential difference faithful to the pixel data in a picture signal to a pixel, and can improve image quality, though phase expansion of the input picture signal be carry out.

[0017] Other objects of this invention are to offer the image display device which can carry out display actuation, reducing or preventing a ghost, can moreover supply an electrical potential difference faithful to the pixel data of a picture signal to a pixel, and can improve image quality, and the electronic equipment which used it for the image display approach ***** driving gear list, even when sample hold actuation cannot be follow by point sequential actuation with improvement in the speed of a dot clock.

[0018]

[Means for Solving the Problem] The image display device concerning this invention has the image display section which arranges a pixel in the pixel location formed of the crossover of two or more data signal lines and two or more scan signal lines, and grows into it. A scan signal-line selection means supplies a scan signal to the sequential aforementioned scan signal line. Here, the polarity of the electrical potential difference impressed to a pixel is reversed and driven for every predetermined period. A phase expansion means samples the picture signal which has serially data corresponding to each the location of said pixel, and outputs to juxtaposition two or more phase expansion signals changed into the data length longer than the sampling period. Two or more sampling means connected to the each line of said data signal, respectively consider one of said two or more of the phase expansion signals as an input, respectively, sample said data in said phase expansion signal, and supply them to said data signal line as a data signal. A data signal line driving means generates a sampling period signal with a sampling period shorter than the period equivalent to the data length of said phase expansion signal, and supplies it to said switching means for a sampling.

[0019] Two or more switching means for precharge precharge each the line of said data signal with the polarity of the electrical potential difference impressed to said pixel at the precharge period in front of said sampling period for supplying said data signal to each the line of said data signal based on the pixel data sampled in this

sampling period, and the same polarity.

[0020] This invention functions as follows for reduction of the ghost who is one of the technical problems of this invention, or prevention.

[0021] First, when this invention person was for a component with a ghost's cause of generating unnecessary to the wave supplied to a pixel through a sampling means as drawing 40 to mix, he analyzed. Mixing of the unnecessary component to the inside of this wave originates in the sampling period being long with eight periods of a dot clock to the data lengths of a phase expansion signal being six periods of a dot clock as it is shown in drawing 38 .

[0022] For this reason, since sampling period signal S/H (n), S/H (n+6), and S/H (n+12) had the overlap period, respectively when the signal line of for example, the video n was mentioned as the example in drawing 38 , for example in early stages of the sampling period of S/H (n+6), even the data sampled by sampling period signal S/H (n) were sampled by the sampling period signal of S/H (n+6).

[0023] The phenomenon in this case was observed and seen by the potential wave supplied by the liquid crystal layer. Consequently, it turned out that an unnecessary component mixes into a wave like drawing 40 in response to the effect of the data of an arrow head 1 once being written in depending on the write-in capacity of a sampling means, and level becomes high in the location where the field of the level which should become low essentially corresponds with the ghost 3 of this drawing.

[0024] In this invention, as symbolically shown in drawing 9 , drawing 14 , drawing 18 , and drawing 22 , since a sampling period can surely be set up short, the effect of other data which are not original data decreases, and a ghost can be reduced or prevented rather than the data length of a phase expansion signal.

[0025] As other one of the technical problems of this invention, in order to carry out the charge and discharge of the data signal line to data potential within a sampling period, this invention functions as follows.

[0026] That is, the each line of said data signal is precharged with the polarity of the electrical potential difference impressed to said pixel at the precharge period in front of the sampling period for supplying a data signal to each data signal line based on the pixel data sampled in this sampling period, and the same polarity. For this reason, what is necessary is just to carry out the charge and discharge of the data signal line by the sampling period, in a precharge period, until it becomes data potential from precharge potential since the potential of a data signal line has already reached to precharge potential. Although the sampling period for sampling the potential of a phase expansion signal is made shorter than the conventional technique in this invention as especially mentioned above, precharging can attain above-mentioned charge and discharge also in this short sampling period. Therefore, in a sampling period, while being able to sample image data to accuracy, with the sampled data potential, charge and discharge can be certainly carried out to a data signal line, and image quality

improves.

[0027] It is desirable to carry out parallel connection of two or more switching means for a sampling and two or more switching means for precharge to the end of an each the line of said data signal in this invention.

[0028] Compared with the case where each switching means is connected, respectively, a circuit layout becomes easy to the ends of a data signal line.

[0029] In this case, as for a data signal line driving means, it is desirable to generate the precharge period signal which makes two or more switching means for precharge turn on for a precharge period based on a sampling period signal, and to supply two or more switching means for precharge.

[0030] If it carries out like this, the circuit which sets up a sampling period and a precharge period is common-use-ized, the leading-about die length of the line for the period signal can also be shortened, and delay of the period signal resulting from the parasitic capacitance which a line has can be shortened. Thereby, a sampling period and a precharge period can be mostly set up as a design, and it can prevent that both periods originate and overlap delay of a signal.

[0031] The phase expansion means of this invention can shift the head location of the pixel data of the phase expansion signal of N individual one by one based on a reference clock, and can output the phase expansion signal of N individual to the phase expansion signal line of N book at juxtaposition. In this case, a data signal line driving means generates the sampling period signal which shifts the initiation stage of a sampling period one by one, and sets it up. Thereby, said pixel connected to said one scan signal can be driven by point sequential. Furthermore, a data signal driving means is made to serve a double purpose as a sampling period signal for setting up a precharge period for the sampling period signal for setting up a sampling period about the data signal line of 1 about other data signal lines. If it carries out like this, the circuit magnitude of a data signal line actuation circuit will contract, and a circuit layout will become easy.

[0032] In this invention, it has two or more step configuration whose data signal line driving means carries out the sequential shift of the input signal. The output signal of each stage a part with the output signal of the next step The shift register outputted to the timing with which a phase laps, Connect with each switching means for a sampling, and said output signal which is two with which a signal phase laps mutually from said shift register is inputted. It can have two or more AND circuits outputted to the switching means for a sampling by making the AND into a sampling period signal.

[0033] A reference clock carries out a round term [every] sequential shift, and, more specifically, a shift register sends out an input signal with a term $2K$ (K is the natural number) twice the pulse width of a round of a reference clock. In the example of drawing 8 (A), it is $K=4$ and the pulse width of an input signal DX is 8 times the round term of a dot clock DC . In the example of drawing 13, it is $K=3$ and the pulse width of

an input signal DX is 6 times the round term of a dot clock DC. In the example of drawing 17 , it is $K=2$ and the pulse width of an input signal DX is 4 times the round term of a dot clock DC.

[0034] Furthermore, two outputs from which the shift amount from a shift register differs are inputted, and the AND circuit connected to each switching means for a sampling is outputted to the switching means for a sampling by making the AND into a sampling period signal.

[0035] Thereby, the shift register output of the k -th within 1 horizontal-scanning period and eye watch $(k+K)$ will be inputted into the AND circuit connected to the switching means for a sampling of eye k ($1 \leq k \leq$ total number of pixels on one scan signal line) watch, and the sampling period based on the sampling period signal used as those ANDs will be K times the round term of a reference clock.

[0036] In drawing 7 which shows the example of $K=4$, for example when $k=1$, the 1st and the 5th shift register output are inputted into AND-circuit 160a, and a sampling period is 4 ($=K$) twice the round term of a dot clock DC as drawing 8 .

[0037] In drawing 12 which is the example of $K=3$, for example when $k=1$, the 1st and the 4th shift register output are inputted into AND-circuit 160a, and a sampling period is 3 ($=K$) twice the round term of a dot clock DC as drawing 13 .

[0038] In drawing 16 which is the example of $K=2$, for example when $k=1$, the 1st and the 3rd shift register output are inputted into AND-circuit 160a, and a sampling period is twice ($=K$) the round term of a dot clock DC as drawing 17 .

[0039] In this case, a data signal line driving means is supplied to the switch for precharge by which parallel connection is not carried out to the switch for a sampling for which supplies the sampling period signal generated based on the output of two or more AND circuits to the aforementioned switching means for a sampling, and that sampling period signal is supplied to this signal. Thereby, a sampling period signal can be made to serve a double purpose as a precharge period signal.

[0040] In this invention, a phase expansion means can make in agreement the head of each pixel data of the phase expansion signal of N individual, and can output the phase expansion signal of N individual to the phase expansion signal line of N book at juxtaposition. As this shows symbolically drawing 22 , simultaneous actuation of two or more pixels connected to one scan signal line can be carried out at the total every N of a phase expansion signal line. In this case, a data signal line driving means supplies the common sampling period signal which made the initiation stage of a sampling period in agreement to the switching means for a sampling of N individual. Furthermore, a data signal line driving means supplies the common sampling period signal to the switching means for a sampling of N individual, and the switching means for precharge of other N individuals which are not in juxtaposition relation, respectively as a common precharge period signal. Thereby, a sampling period signal can be made to serve a double purpose as a precharge period signal.

[0041] Furthermore, a data signal line driving means has the shift register which a reference clock carries out a round term [every] sequential shift, and sends out an input signal. For the switching means for a sampling of N individual connected to the data signal line by which simultaneous actuation is carried out at eye m ($1 \leq m \leq$ total of total number of pixels / aforementioned phase expansion signal line on one scan signal line) watch The shift register output of eye watch ($3m-2$) within a 1 horizontal-scanning period can be supplied as a sampling period signal. A reference clock carries out a round term [every] sequential shift, and, more specifically, this shift register sends out an input signal with a term $2K$ (K is the natural number) twice the pulse width of a round of a reference clock.

[0042] In the example of drawing 21 , it is $K=4$ and the pulse width of an input signal DX is 8 times the round term of a dot clock DC.

[0043] If it carries out like this, at the time of simultaneous actuation of eye m ($1 \leq m \leq$ total of the total number of pixels / phase expansion signal line on one scan signal line) watch, the shift register output of eye watch ($3m-2$) within 1 horizontal-scanning period will be inputted into two or more switching means for a sampling, and the sampling period set as the switching means for a sampling will be K times the round term of a reference clock.

[0044] In the example of drawing 20 , $3m-2$ = 1st shift register output is inputted into $N=6$ switching means 106 for a sampling, for example by the $m=1$ st simultaneous actuation. Similarly, in the $m=2$ nd simultaneous actuation, $3m-2$ = 4th shift register output is inputted into the following six sampling means 106, and $3m-2$ = 7th shift register output is inputted into the following six switching means 106 for a sampling in the $m=3$ rd simultaneous actuation. Furthermore, the shift register output of eye the ($3m-2$) watch can be supplied to the switching means for precharge of other N individuals connected to the data signal line by which simultaneous actuation is carried out at eye watch ($m+1$). Thereby, a sampling period signal can be made to serve a double purpose as a precharge period signal.

[0045] In this invention, the precharge period about all data signal lines may be set up within a horizontal blanking interval. If it carries out like this, generation of the timing signal for setting up a precharge period is easily generable based on a Horizontal Synchronizing signal.

[0046] The image display section of this invention can consist of liquid crystal panels which made liquid crystal intervene between the substrates of a couple. In this case, two or more switching means for a sampling can consist of two or more thin film transistors formed on one substrate. And the sampling period signal from a data signal line driving means is supplied to the gate of said thin film transistor of each.

[0047] Although TFT has a limitation in write-in capacity, since sampling period sufficient in a phase expansion signal with pixel data with a long data length being inputted can be secured and the last pixel data moreover are not written in during a

sampling period, that an unnecessary component mixes into a wave decreases and a ghost's generating can be prevented effectively.

[0048] In this invention, from the picture signal inputted into the preceding paragraph of a phase expansion means, the 1st polarity picture signal which drives a pixel with the 1st polarity to a polarity-reversals reference potential, and this 1st polarity can generate the 2nd polarity picture signal which drives a pixel with the 2nd polarity of reversed polarity, and a polarity-reversals means to output either of the 1st and 2nd polarity signals to a phase expansion means can be established further. At this time, a phase expansion means outputs the 1st and 2nd polarity phase expansion signal based on said 1st and 2nd polarity picture signal.

[0049] Furthermore, a polarity-reversals means can have the 1st polarity-reversals means which outputs one side of the 1st and 2nd polarity picture signal, and the 2nd polarity-reversals means which outputs another side of the 1st and 2nd polarity picture signal.

[0050] In this invention, two or more polarity-reversals means can also be formed in the latter part of a phase expansion means. In this case, from one of two or more of the phase expansion signals, two or more polarity-reversals means generate the 2nd polarity phase expansion signal which drives a pixel with the 2nd polarity of reversed polarity, and, as for the 1st polarity phase expansion signal which drives a pixel with the 1st polarity to a polarity-reversals reference potential, and the 1st polarity, output either of the 1st and 2nd polarity phase expansion signals to said two or more sampling means, respectively.

[0051] the polarity-reversals means of these each can have the 1st polarity-reversals means which outputs one side of the 1st and 2nd polarity phase expansion signal, and the 2nd polarity-reversals means which outputs another side of the 1st and 2nd polarity phase expansion signal.

[0052] It can have further the modification control means which carries out modification control of the expansion sequence in the means for switching which switches two or more phase expansion signals (or the 1st and 2nd polarity phase expansion signal), and is supplied to two or more sampling means in this invention, and a phase expansion means, and is made to correspond in order of expansion and carries out modification control of the supply place of two or more phase expansion signals (or the 1st and 2nd polarity phase expansion signal) in a means for switching. If it carries out like this, dispersion in DC offset component can prevent the thing to produce for every phase expansion signal and which is emphasized with the vertical line of a screen, for example.

[0053] In this invention, a precharge potential supply means to switch the 1st precharge potential which precharges a data signal line with the 1st polarity, and the 2nd precharge potential which precharges a data signal line with the 2nd polarity whenever it chooses a scan signal line, and to supply it to two or more switching

means for precharge can be established further.

[0054] Thereby, whenever it chooses a scan signal line, precharge potential is switched between the 1st and 2nd polarity.

[0055] In this invention, a precharge potential supply means to switch whenever it chooses a scan signal line between the 1st precharge line connected to the oddth of further two or more switching means for precharge, the 2nd precharge line connected to the eventh of two or more switching means for precharge, and the 1st precharge potential and the 2nd precharge potential, and to supply the 1st and 2nd precharge line can be established further. If it carries out like this, the polarity-reversals actuation for every so-called dot will be attained.

[0056] Moreover, this invention can also make an external circuit the display driving gear which drives the image display section to the image display section.

[0057]

[Embodiment of the Invention] Hereafter, the example which applied this invention to the active matrix liquid crystal display is concretely explained using a drawing.

[0058] (1) The whole liquid crystal display outline which starts the 1st example at 1st example (outline configuration of equipment) drawing 1 is shown. As shown in this drawing, this liquid crystal display is a small liquid crystal display used as a light valve of electronic equipment, for example, a liquid crystal projector, and is divided roughly into the liquid crystal panel block 10, the timing circuit block 20, and the data-processing block 30.

[0059] A clock signal CLK and a synchronizing signal SYNC are inputted, and the timing circuit block 20 outputs a predetermined timing signal.

[0060] The data-processing circuit block 30 has the phase expansion circuit 32, and magnification and an inverting circuit 34. One picture signal (in this example, it is a monochrome shade display and the number of picture signals is one) Data is inputted, and the phase expansion circuit 32 outputs the phase expansion signal of N phase which carried out N phase expansion (it has considered as N= 6 phase in drawing 1) of the pixel information to juxtaposition. In addition, in the case of the electrochromatic display panel by which the liquid crystal panel 100 under liquid crystal panel block 10 has a light filter in three primary colors, three picture signals, R, G, and B, are inputted into said phase expansion circuit 32, and six phase expansion signals can be generated from these three picture signals in it. About this N phase expansion, it mentions later.

[0061] Magnification and an inverting circuit 34 amplify the phase expansion signal of N book on an electrical potential difference required for actuation of a liquid crystal panel, and inverts it on the basis of a polarity-reversals reference potential if needed. In addition, the location of the magnification and the inverting circuit 34, and the phase expansion circuit 32 which are shown in drawing 1 may be reversed. That is, magnification and after carrying out polarity reversals, phase expansion of the picture signal may be carried out in the phase expansion circuit 32 in magnification and an

inverting circuit 34.

[0062] It has branched to six of Data1–Data6 as it is shown in drawing 1 , since the output line of the data-processing circuit block 30 of this example is carrying out 6 phase expansion.

[0063] The liquid crystal panel block 10 is equipped with the liquid crystal panel 100, the scan side actuation circuit 102, the data side actuation circuit 104, and the precharge actuation circuit 170 on the same circuit board. In addition, with a liquid crystal panel substrate, it may dissociate and these actuation circuit may be constituted as an external IC.

[0064] On the liquid crystal panel 100, two or more scan signal lines 110 extended along with the line writing direction of drawing 1 and two or more data signal lines 112 extended along the direction of a train are formed. In addition, in this example, the total of the scan signal line 110 is made into 492, and the total of the data signal line 112 is made into 652. A switching element 114 and the liquid crystal layer 116 are connected to a serial, a display element is constituted by the pixel location formed of the crossover of each of this line 110,112, and this forms the pixel in it. The period which this switching element 114 turns on is called a selection period, and the period to turn off is called a non-selection period. The retention volume (not shown) which holds the electrical potential difference supplied to the liquid crystal layer 116 through the switching element 114 at the selection period in a non-selection period is connected to the liquid crystal layer 116. The switching element 114 is used for example, as 3 terminal mold switching element, for example, TFT constitutes it from this example. Not only this but 2 terminal mold switching element, for example, an MIM (metal-insulating-layer-metal) component, an MIS (metal-insulating-layer-semi-conductor layer) component, etc. can be used. In addition, the liquid crystal panels 100 of this example may be other various liquid crystal panels, such as a liquid crystal display panel of not only the liquid crystal display panel of the active-matrix mold which used switching of 2 terminal molds or 3 terminal molds but a passive-matrix mold. The liquid crystal panel 100 of this example has the 1st substrate with which TFT connected to the scan signal line 110, the data signal line 112, and it was formed. The retention volume which uses as a piece lateral electrode further the pixel electrode connected to TFT and this pixel electrode is formed in this 1st substrate. Further, a liquid crystal panel 100 counters with the 1st substrate, is arranged, and has the 2nd substrate with which the common electrode was formed. And liquid crystal is enclosed between the 1st and 2nd substrate, and a liquid crystal panel 100 is constituted. The liquid crystal layer of each pixel location uses an end as a pixel electrode, uses the other end as a common electrode, and electric field are impressed with the electrode of two poles.

[0065] The scan side actuation circuit 102 outputs the scan signal with which the selection period for making sequential selection of the scan signal line 110 from inside

of two or more scan signal—line 110a and 110b— was set up.

[0066] The data side actuation circuit 104 outputs the sampling period signal for driving a liquid crystal panel 100 at the time of point sequential to the sample hold switch 106 of six phase expansion signal lines Data1–Data6 which are the output lines of the data-processing circuit block 30, and data signal line 112a of a liquid crystal panel 100 and 112b— arranged in between.

[0067] In addition, the 1st phase expansion signal line Data1 is connected with 1st data signal line 112a through sample hold switch 106a. the same — carrying out — the 2– the 6th phase expansion signal line Data2–Data6 — each sample hold switches 106b–106f — minding — the 2– it connects with the 6th data signal line 112b–112f, respectively. Moreover, the 1st phase expansion signal line Data1 is connected also to 7th data signal line 112g through sample hold switch 106g. The 1st phase expansion signal line Data1 is connected to the data signal line 112 of 6 beyond like the following. the 2– the 6th phase expansion signal line Data2–Data6 — the same — the 2– sequential connection is made on each data signal line which serves as an integral multiple eye of 6 from the 6th data signal line 112b–112f.

[0068] The precharge actuation circuit 170 is for making switch 172for precharge a, and 172b— turn on to predetermined timing, connecting precharge line 174b of 1st precharge line 174a **** 2 to each data signal line 112a and 112b—, and precharging the data signal line 112. Through a switch 190, it is switched and the this 1st and 2nd precharge line 174a and 174b is supplied, whenever the 1st precharge potential PV 1 and the 2nd precharge potential PV 2 choose a scan signal line. In this example, since dot reversal actuation is carried out, odd-numbered data signal line 172a and 172c— are connected to 1st precharge line 174a, and even-numbered data signal line 172b and 172d— are connected to 2nd precharge line 174b. In addition, about the detail of this precharge actuation, it mentions later.

[0069] (actuation of N phase expansion) Next, with reference to drawing 2 , actuation of N phase expansion in the phase expansion circuit 32 in the data-processing circuit block 30, for example, 6 phase expansion, is explained.

[0070] The picture signal inputted into the data-processing circuit block 30 is the analog signal which has serially data corresponding to each pixel of a liquid crystal panel 100 as shown in drawing 2 . The phase expansion circuit 32 which carries out 6 phase expansion has sampled this picture signal by the reference clock DC, for example, a dot clock. And this picture signal is sampled and six phase expansion signals changed into the data length longer than that sampling period are generated. In this example, it elongates to the data length of the integral multiple of a round term of a dot clock DC, and is developing to six parallel phase expansion signals. In this semantics, this phase expansion circuit 32 has the function which elongates a data length, and the function which carries out serial-parallel conversion of the serial picture signal at a parallel picture signal. For example, as for the 1st phase expansion

signal outputted to the 1st phase expansion signal line Data1, a picture signal, for example, the 1st, the 7th, and pixel [13th] data are elongated by the term 6 times the data length of a round of a dot clock DC, respectively. Similarly, sequential extension of the data of 6-pixel beyond is carried out at said data length.

[0071] Similarly, data, such as the 2nd, the 8th, and the 14th pixel, are elongated by said data length, and the 2nd phase expansion signal outputted to the 2nd phase expansion signal line Data2 is outputted.

[0072] In this example, this extension and expansion actuation are performed using the analog interface IC, and the picture signal of an analog is developed six phases.

[0073] in addition, the 1st example -- setting -- the 1- the 1- outputted to the 6th phase expansion signal line Data1-Data6 -- as for the 6th phase expansion signal, the head location of each pixel data is outputted only for a round term of a dot clock DC in the condition of having shifted one by one.

[0074] (Explanation of the example of 6 phase expansion circuit and a polarity-reversals circuit) The example of 6 phase expansion circuit and a polarity-reversals circuit is shown in drawing 3 , drawing 4 , and drawing 5 . In drawing 3 , the phase expansion circuit 32 consists of switches 500a-500f, capacitors 502a-502f, and buffers 504a-504f. And the sampling clocks SCLK1-SCLK6 with which the phase shifted as shown in drawing 6 are inputted into Switches 500a-500f corresponding to one to one, respectively. When turned on with the clock, each switches 500a-500f sample data, and make the capacitors 502a-502f of the latter part charge the charge of data. Each switches 500a-500f hold data potential, while being turned off with the clock. Thereby, as shown in drawing 6 , 6 phase expansion signal is acquired through Buffers 504a-504f.

[0075] Amplifying circuits 506a-506f and the polarity-reversals circuits 508a-508f are established in the each buffers [504a-504f] latter part. An example of this amplifying circuit and a polarity-reversals circuit is shown in drawing 4 and drawing 5 .

[0076] The amplifying circuit consists of video amplifier (an operational amplifier may be used) 510 as shown in drawing 4 . A polarity-reversals circuit has the buffer 540 which consisted of a buffer 530 which consisted of the polarity-reversals section 520 which consisted of resistance R1 and R2 and the 1st transistor TR1, and resistance R3 and the 2nd transistor TR2, and resistance R4 and the 3rd transistor TR3, and the switch SW1 which chooses the output of buffers 530 and 540 alternatively.

[0077] The case where it is a square wave as [of explanation] the output of video amplifier 510 is drawing 4 is explained for convenience. Here, resistance with the resistance R1 and R2 of drawing 4 is almost equal, and sets Vdd to 12V. In this case, each potential of the point A of drawing 4 and Point B turns into potential of axial symmetry mostly potential [middle], for example, a boundary [$V / 6$], as it is shown in drawing 4 . Black level is [11V and the white level of the potential of Point A] 7V, and black level is [1V and the white level of the potential of Point B] 5V. Thus, the

polarity has reversed two picture signals which appear in Point A and Point B on the basis of the polarity-reversals reference potential between the black level of both signals. In this example, the signal which appears in Point B is made into the picture signal of negative polarity, and the signal which appears in Point A is made into the picture signal of straight polarity. In addition, the potential used as the criteria of polarity reversals turns into the power-source potential Vdd and the main potential Vref of ground potential GND, i.e., the amplitude core potential of an analog picture signal.

[0078] The signal of the negative polarity which appears in Point B is outputted to Terminal C through a buffer 540, and the signal of the straight polarity which appears in Point A appears in Terminal D through a buffer 530. And one side of the phase expansion signal of these straight polarity and negative polarity is chosen by the switch SW1 switched based on a polarity-reversals timing signal, and is outputted.

[0079] In this example, as shown in drawing 32, polarity-reversals actuation is carried out for every line towards carrying out polarity-reversals actuation for every dot in the direction in which a scan signal line is prolonged, and a data-line signal line being extended, and polarity-reversals timing is set to suit this. In addition, when precharge is required, polarity-reversals actuation is not carried out for every line [at least], and dot reversal is not indispensable.

[0080] Drawing 5 shows other the amplifying circuits 506a-506f shown in drawing 3, and polarity-reversals circuits [508a-508f] examples. In drawing 5, an amplifying circuit 510 and differential amplifying circuits 550 and 560 are formed. It is outputted to Terminal C from a differential amplifying circuit 550, level of the picture signal inputted into a differential amplifying circuit 550 through an amplifying circuit 510 being used as the potential of straight polarity to the above-mentioned amplitude core potential Vref. Similarly, it is outputted to Terminal D from a differential amplifying circuit 560, level of the picture signal inputted into a differential amplifying circuit 560 through an amplifying circuit 510 being used as the potential of negative polarity to the above-mentioned amplitude core potential Vref. The potential of each terminals C and D is switching a switch SW1 based on a polarity-reversals timing signal, and is chosen and outputted.

[0081] In addition, in the example of drawing 3, since magnification and polarity reversals are carried out after phase expansion, six amplifying circuits 506a-506f and six polarity-reversals circuits 508a-508f are needed. However, in the phase where the signal amplitude before signal magnification is small, since the charge of the signal is chargeable to Capacitors 502a-502f, charge time amount is quick, and there is an advantage which can respond to improvement in the speed.

[0082] (configuration of a data sampling) Next, the detail of the data side actuation circuit 104 which is the characteristic configuration of this example is explained using the circuit diagram of drawing 7, and the timing chart of drawing 8.

[0083] This data side actuation circuit 104 has the shift registers 120–150 of the 1st – the 4th train as it is shown in drawing 7 . Each [these] shift registers 120–150 input the input signal DX used as the common shift data shown in drawing 8 (A). This input signal DX is made into the signal which covers eight periods of the dot clock signal DC, and serves as HIGH as it is shown in drawing 8 (A). Moreover, the 1st clock signal CLX1 shown in drawing 7 and its 1st reversal clock signal are inputted into the shift register 120 of the 1st train. The pulse of the half-pulse width of an input signal DX is repeatedly outputted with the period of the pulse width of an input signal DX as the 1st clock signal CLX1 is shown in drawing 8 (A). Similarly, the 2nd – the 4th clock signal CLX2–CLX4, and its reversal clock signal are inputted into the shift registers 130–150 of the 2nd train to the 4th train, respectively. As for the 2nd – the 4th clock signal CLX2–CLX4, the standup stage shifts one by one for every period of a dot clock DC rather than the standup stage of the 1st clock signal CLX1.

[0084] The shift registers 120–150 of each train are constituted including the multistage master slave mold clocked inverter, respectively. If the 1st step of the 1st shift register 120 is explained, the 1st clocked inverter 121a and inverter 121b used as a master are connected directly, and 2nd clocked inverter 121c used as a slave is connected to the feedback line which ties the input output line of this inverter 121b. Clocked inverter 121a used as a master reverses and outputs the input-clock signal DX, when the 1st clock signal CLX1 is HIGH. Similarly, 2nd clocked inverter 121c used as a slave reverses and outputs the output signal of inverter 121b, when the 1st reversal clock signal / CLX1 is HIGH(s).

[0085] The 1st-step actuation in the shift register 120 of this 1st train is explained with reference to the timing chart of drawing 8 (A). In addition, the various signal wave forms outputted by the scan side actuation circuit 102 by reference were shown in drawing 8 (B).

[0086] In a part for the first portion from which the input-clock signal DX serves as HIGH (a part for 4 of a dot clock DC periods), the 1st clock signal CLX1 serves as HIGH, and LOW which reversed the input signal DX is outputted as an output of 1st clocked inverter 121a. This LOW signal is reversed in inverter 121b, and HIGH is outputted by the first portion of the input-clock signal DX as first shown in SR1-OUT1 of drawing 8 (A) as the 1st-step output of the 1st train shift register 120.

[0087] About the second half part of the input-clock signal DX, the 1st reversal clock signal inputted into 2nd clocked inverter 121c of a slave / CLX1 serves as HIGH to a clock signal CLX1 being set to LOW. The signal inputted into this 2nd clocked inverter 121c is a HIGH signal from inverter 121b, and the output from the 2nd clocked inverter 121c serves as a LOW signal which reversed this input HIGH signal as a result. This LOW signal is reversed in inverter 121b. Therefore, a HIGH signal is outputted also for the 1st second half part of output signal SR1-OUT1 which is the 1st-step output in the shift register 120 of the 1st train.

[0088] In addition, SR1-OUT1 of drawing 8 (A), --SR4-OUT1, --SR3-OUT2 show the output of the shift registers 120-150 of the 1st - the 4th train. SR1-SR4 of a sign show the 1st train of a shift register - the 4th train, and OUT1 of a sign and OUT2 -- are the 1st step position of each shift register, and the 2nd step. -- An output is shown.

[0089] the 2- 3rd output-signal SR2-OUT1-SR4-OUT1 is outputted in the condition of having shifted from the 1st standup of output-signal SR1-OUT1 one by one by 1 of a dot clock DC period by the 1st-step actuation of the shift registers 130-150 of the 2nd train to the 4th train as shown in drawing 8 (A).

[0090] 5th output-signal SR1-OUT2 is generated using the master slave mold clocked inverter of the 2nd step of the shift register 120 of the 1st train.

[0091] If the output signal of the shift registers 120-150 of this 1st train - the 4th train is outputted to sample hold switch 106a and 106b-- as it is, the conventional ghost phenomenon in which it explained by drawing 38 - drawing 40 will produce it.

[0092] Then, it sets in this 1st example and they are [shift registers 120-150 and] the sample hold switches 106a and 106b of the 1st train - the 4th train. -- Inverter 162a and 162b-- are prepared with NAND-circuit 160a and 160b-- in between.

[0093] This NAND circuit and inverter function as a circuit which takes the AND of two timing signals outputted from the shift register.

[0094] 1st output signal SR1-OUT1 from the 1st step of the shift register 120 of the 1st train and 5th output signal SR1-OUT2 from the 2nd step are inputted into NAND-circuit 160a prepared in the preceding paragraph of sample hold switch 106a connected to 1st data signal line 112a. Therefore, the period of four periods of a dot clock DC will be set up as a sampling period as sampling period signal SL1-Data1 obtained via this NAND-circuit 160a and inverter 162a of that latter part serves as an AND of 1st output signal SR1-OUT1 and 5th output signal SR1-OUT2 and it is shown in drawing 8 (A).

[0095] SL1-Data1 of drawing 8 (A), --SL4-Data4, and -- are impressed to the gate of TFT of sample hold switch 106a, --106d, and --, and make the TFT turn on at the time of High level. When the signal is expressed with SL(n)-Data (m), m (m=1-6) of Sign Data (m) shows the number of phase expansion signal-line Data 1-6 sampled by the signal. n of Sign SL (n) shows the sequence of a sampling period signal.

[0096] In the preceding paragraph of sample hold switch 106b connected to 2nd data signal line 112b, signal SR2-OUT1 from the 1st step of the shift register 130 of the 2nd train and signal SR2-OUT2 from the 2nd step are inputted to NAND-circuit 160b. Therefore, although a standup is behind [1st sampling period signal SL1-Data1] in 2nd sampling period signal SL2-Data2 obtained via this NAND-circuit 160b and inverter 162b of that latter part only as for one period of a dot clock DC, a sampling period turns into a period of four periods of a dot clock DC similarly. In addition, the same is said of the case of the data signal line after the 3rd data signal line.

[0097] (data sampling action) Drawing 9 indicates relation with sampling period signal SL(n)-Data (m) to be the phase expansion signals Data1-Data6 inputted into each sample hold switch 106. Drawing 9 shows sampling period signal SL1-Data1, SL7-Data1, and SL13-Data1 which sample the phase expansion signal Data1. It is inputted into 1st sample hold switch 106a on the source line of TFT on which the information which has the data length for six periods of a dot clock DC constitutes this sample hold switch 106a as shown in drawing 9 . On the other hand, sampling period signal SL1-Data1 which went via NAND-circuit 160a and inverter 162a is inputted into the gate of TFT which constitutes sample hold switch 106a. This sampling period signal SL-Data1 is set as the sampling period for four periods (period of High) when one period was removed before and behind that to the data lengths of a phase expansion signal being six periods of a dot clock signal.

[0098] Even if it constitutes the sample hold switch 106 from TFT even if and a limitation is in this write-in capacity of TFT by setting up such a sampling period, if it puts in another way, the liquid crystal display without a ghost which is not influenced by the last data on a liquid crystal display can be performed.

[0099] After the image data on a phase expansion signal line is stabilized by the gate of TFT where this reason constitutes the sample HORUDO switch 106, it is because it will be opened by the High level of a sampling period signal. And before the data on this phase expansion signal line change, it is because the gate of TFT is closed. Furthermore, the sample hold switches 106a and 106g connected to the same phase expansion signal line Data1 and 106n-- shift and drive the closing motion timing of the gate, and two or more gates do not serve as open simultaneously so that clearly from a gap of the period of the High level of SL1-Data1, SL7-Data1, and SL13-Data1. Thus, only the stable data which do not receive effect in the last data can be sent out to the data signal line 112 by setting up a sampling period only about the data area by which it was stabilized in the data length of a phase expansion signal. This data will be written in the liquid crystal layer 116 and retention volume through the switching element 114 turned on with the scan signal from the scan side actuation circuit 102.

[0100] Stable data are hereafter sent out to data signal line 112b which carries out a sequential response, and 112c-- through sampling switch 106b and 106c-- similarly, and the writing to the liquid crystal layer 116 connected to 1st scan signal-line 110a through the switching element 114 is carried out by point sequential actuation. After that, the writing of above-mentioned data will be repeated and carried out with the scan signal from the scan side actuation circuit 102, carrying out sequential ON of the switching element 114 connected to the scan signal line 110 of the 2nd henceforth.

[0101] (precharge actuation) With this example equipment, each data signal line is precharged with the polarity of the electrical potential difference impressed to a pixel before the sampling period mentioned above about each data signal line based on the pixel data sampled in the sampling period, and the same polarity.

[0102] The need for this precharge is briefly explained using drawing 10 (A) and (B). First, scan signal-line 110a is chosen in the first selection period (TFT114a turns on), and the case where wrote the negative black level potential B1 in liquid crystal cell 116a on the basis of the opposite substrate electrode (common electrode) shown in drawing 10 (A), and a black display is performed to it through data signal line 112a is considered. In the next selection period after 1 horizontal scanning, scan signal-line 110b is chosen (TFT114b turns on), through the same data signal line 112a as last time, forward black level potential B-2 is written in liquid crystal cell 116b, and a black display is performed to it. In this case, as shown in drawing 10 (A), the black level potential B1 and B-2 have the potential difference largest since the polarity is reversed even if it is the same black display.

[0103] For this reason, in order to charge the parasitic capacitance C of a data signal line with the picture signal itself, as shown in "R1" of drawing 10 (A), the potential of a data signal line must be changed to B-2 from the black level potential B1 within the sampling period TSAM.

[0104] However, in this example, since it is made still shorter than the sampling period of conventional drawing 38 as mentioned above, within this sampling period TSAM, it is reverse and B-2 or its thing [making it change to B1] becomes difficult from black level potential B-2 from the black level potential B1 about a data signal line.

[0105] Then, data signal line 112a is precharged with the 2nd precharge potential PV 2 which is the polarity of the electrical potential difference impressed to a pixel by the picture signal in the precharge period TPRE before the sampling period TSAM shown in drawing 10 (A), and the same polarity. If it carries out like this, it can precharge comparatively with the 2nd precharge potential PV 2 from the black level potential B1 in a short time at the precharge period TPRE. it is made to change from the 2nd precharge potential PV 2 to black level potential B-2 in the subsequent sampling period TSAM -- being sufficient . Since there are few amounts of charge (discharge) of the parasitic capacitance C of the data signal line in this precharge period TPRE and the sampling period TSAM, charge and discharge are made for a short time.

[0106] In this example, the precharge period set up in the precharge actuation circuit 170 is explained with reference to drawing 11 .

[0107] Drawing 11 shows the sampling period TSAM of each data signal line in the period covering the 1 horizontal-scanning period H_n and the following horizontal scanning period H_{n+1} . The precharge period TPRE is set up at one from initiation of a horizontal scanning period to initiation of the sampling period TSAM of stages.

[0108] What is necessary is just to set it as a horizontal blanking interval B_n and B_{n+1} --, in order to set up a precharge period common about each data signal line. In this horizontal blanking interval B_n and B_{n+1} --, it is because a sampling period is not set up about which data signal line, either.

[0109] A sampling period can be used as it is about other data signal lines as a

precharge period which should be set up before the sampling period set up about a certain data signal line so that clearly from drawing 11 . For example, the sampling period TSAMa of data signal line 112a (n) can be made to serve a double purpose as precharge periods TPREE (n) and TPREF (n) which should be set up before the sampling periods TSAME (n) and TSAMf (n), such as data signal line 112e or 112 etc.f, as the broken line of drawing 11 shows. It is because the sampling period TSAMa of data signal line 112a (n) does not overlap sampling period [of data signal line 112e and 112d--] TSAME (n) and TSAMf (n) --. If it carries out like this, it is not necessary to form the precharge circuit 170 separately [the data side actuation circuit 104 shown in drawing 1]. In addition, about the example using one data-line actuation circuit which functions as the data side actuation circuit 104 and a precharge actuation circuit 170, a detail is later mentioned in the 3rd example shown in drawing 15 - drawing 19 .

[0110] (2) The 2nd example of the 2nd ***** carries out liquid crystal display actuation using a phase expansion signal with the data length for six periods of a dot clock, and a sampling period signal with the sampling period for three periods of a dot clock.

[0111] The data side actuation circuit 104 has the shift registers 200-220 of the 1st - the 3rd train as shown in drawing 12 . Each [these] shift registers 200-220 input the input signal DX used as common shift data as they are shown in drawing 13 . This input signal DX is made into the signal which covers six periods of the dot clock signal DC, and serves as HIGH as it is shown in drawing 13 . Moreover, the 1st clock signal CLK1 shown in drawing 13 , its 1st reversal clock signal / CLK1 is inputted into the shift register 200 of the 1st train. The pulse of the half-pulse width of an input signal DX is repeatedly outputted with the period of the pulse width of an input signal DX as the 1st clock signal CLK1 is shown in drawing 13 . Similarly, the 2nd and 3rd clock signal CLK2 and CLK3, and its reversal clock signal /3 are inputted into the shift register 210,220 of the 2nd train and the 3rd train, respectively. [CLK2/CLK3] As for the 2nd and 3rd clock signal CLK2 and CLK3, the standup stage shifts one by one for every period of a dot clock DC rather than the standup stage of the 1st clock signal CLK1.

[0112] The shift registers 200-220 of each train are constituted including the multistage master slave mold clocked inverter, respectively.

[0113] Output signal SR1-OUT1 of the shift registers 200-220 of this 1st train - the 3rd train and --SR3-OUT2 become as they are shown in drawing 13 .

[0114] 1st output signal SR1-OUT1 from the 1st step of the shift register 200 of the 1st train and 4th output signal SR1-OUT2 from the 2nd step are inputted into NAND-circuit 160a prepared in the preceding paragraph of sample hold switch 106a connected to 1st data signal line 112a. Therefore, the High period of three periods of a dot clock DC will be set up as a sampling period as sampling period signal SL1-Data1

obtained via this NAND-circuit 160a and inverter 162a of that latter part serves as an AND of 1st output signal SR1-OUT1 and 4th output signal SR4-OUT2 and it is shown in drawing 13 .

[0115] Similarly, in the preceding paragraph of sample hold switch 106b connected to 2nd data signal line 112b, signal SR2-OUT1 from the 1st step of the shift register 210 of the 2nd train and signal SR2-OUT2 from the 2nd step are inputted to NAND-circuit 160b. Therefore, although a standup is behind [1st sampling period signal SL1-Data1] in 2nd sampling period signal SL2-Data2 obtained via this NAND-circuit 160b and inverter 162b of that latter part only as for one period of a dot clock DC, a sampling period turns into a High period of three periods of a dot clock DC similarly. In addition, the same is said of the case of the data signal line after the 3rd data signal line.

[0116] In addition, 7th sampling period signal SL7-Data1 of drawing 13 is a signal which samples the same phase expansion signal line Data1 as 1st sampling period signal SL1-Data1. Both sampling period is shifted and set up so that clearly from drawing 13 .

[0117] (data sampling action) Drawing 14 indicates relation with sampling period signal SL(n)-Data (m) to be the phase expansion signals Data1-Data6 inputted into each sampling switch 102. This drawing 14 shows the same wave as drawing 9 . For example, it is inputted into 1st sample hold switch 106a on the source line of TFT on which the information which has the data length of six periods of a dot clock DC constitutes this sample hold switch 106a as shown in drawing 14 . On the other hand, sampling period signal SL1-Data1 which went via NAND-circuit 160a and inverter 162a is inputted into the gate of TFT which constitutes sample hold switch 106a. This sampling period signal SL1-Data1 is set as the sampling period for three periods when 1.5 periods were removed before and behind that to the data lengths of a phase expansion signal being six periods of a dot clock signal as it is shown in drawing 14 . Therefore, it becomes possible to write in the stable data which are not influenced of the last data like the 1st example.

[0118] (precharge actuation) In this 2nd example, since the die length of a sampling period only differs to the 1st example, a precharge period can be set up like drawing 11 .

[0119] (3) The 3rd example of the 3rd ***** carries out liquid crystal display actuation using a phase expansion signal with the data length for six periods of a dot clock, and a sampling period signal with the sampling period for two periods of a dot clock.

[0120] A different point from the 1st example is a point changed into what shows the data side actuation circuit shown in drawing 1 and drawing 7 to drawing 15 and drawing 16 . That is, it is the point changed into one data signal line actuation circuit 180 which shows the data side actuation circuit 104 and the precharge actuation circuit 170 which are shown in drawing 1 and drawing 7 to drawing 15 in this 3rd example. This

data signal line actuation circuit 180 is used also [setting out / setting out of a precharge period, and / of a sampling period].

[0121] (configuration of a data signal line actuation circuit) The data signal line actuation circuit 180 has the shift registers 300 and 310 of the 1st and 2nd train as shown in drawing 16 . The input signal DX used as the shift data inputted into each [these] shift registers 300 and 310 in common is made into the signal which covers four periods of the dot clock signal DC, and serves as HIGH as it is shown in drawing 17 . Moreover, the 1st clock signal CLK1 shown in drawing 16 and its 1st reversal clock signal are inputted into the shift register 300 of the 1st train. The pulse of the half-pulse width of an input signal DX is repeatedly outputted with the period of the pulse width of an input signal DX as the 1st clock signal CLK1 is shown in drawing 17 . Similarly, the 2nd clock signal CLK2 and its reversal clock signal are inputted into the shift register 310 of the 2nd train, respectively. As for the 2nd clock signal CLK2, only in one period of a dot clock DC, the standup stage shifts rather than the standup stage of the 1st clock signal CLK1.

[0122] The shift registers 300 and 310 of each train are constituted including the multistage master slave mold clocked inverter, respectively.

[0123] Output signal SR1-OUT1 of the shift registers 300 and 310 of this 1st train and the 2nd train and --SR1-OUT4 become as they are shown in drawing 17 .

[0124] 1st output signal SR1-OUT1 from the 1st step of the shift register 300 of the 1st train and 3rd output signal SR1-OUT2 from the 2nd step are inputted into NAND-circuit 160a prepared in the preceding paragraph of sample hold switch 106a connected to 1st data signal line 112a. Therefore, the period of two periods of a dot clock DC will be set up as a sampling period as sampling period signal SL1-Data1 obtained via this NAND-circuit 160a and inverter 162a of that latter part serves as an AND of 1st output signal SR1-OUT1 and 3rd output signal SR1-OUT2 and it is shown in drawing 17 .

[0125] Similarly, in the preceding paragraph of sample hold switch 106b connected to 2nd data signal line 112b, signal SR2-OUT1 from the 1st step of the shift register 310 of the 2nd train and signal SR2-OUT2 from the 2nd step are inputted to NAND-circuit 160b. Therefore, although a standup is behind [1st sampling period signal SL1-Data1] in 2nd sampling period signal SL2-Data2 obtained via this NAND-circuit 160b and inverter 162b of that latter part only as for one period of the dot block DC, a sampling period turns into a period of two periods of a dot clock DC similarly. In addition, the same is said of the case of the data signal line after the 3rd data signal line.

[0126] Moreover, in this 3rd example, sample hold switch 106a and switch 172a for precharge are connected to the end of data signal line 112a at juxtaposition as shown in drawing 15 and drawing 16 . The same is said of other data signal lines.

[0127] Sampling period signal SL1-Data1 obtained from inverter 162a is made to input into the switch 172d [for precharge] control terminal by which parallel connection

was carried out to switch 106d for a sampling in this 3rd example furthermore as shown in drawing 16 . Consequently, sampling period signal SL1–Data1 for data signal line 112a is made to serve a double purpose as a precharge period signal for 172d of data signal lines. Thus, in the 3rd example, the sampling period signal for n Motome's data signal line is made to serve a double purpose as a precharge period signal for n+3 Motome's data signal line.

[0128] (data sampling action) Drawing 18 indicates relation with sampling period signal SL(n)–Data (m) to be the phase expansion signals Data1–Data6 inputted into each sampling switch 102. This drawing 18 shows the wave of the same signal as drawing 9 . For example, it is inputted into 1st sample hold switch 106a on the source line of TFT on which the information which has the data length for six periods of a dot clock DC constitutes this sample hold switch 106a as shown in this drawing. On the other hand, sampling period signal SL1–Data1 which went via NAND–circuit 160a and inverter 162a is inputted into the gate of TFT which constitutes sample hold switch 106a. This sampling period signal SL1–Data1 is set as the sampling period for two periods when two periods were removed before and behind that to the data length of a phase expansion signal being a part for 6 of the dot clock signal DC periods. Therefore, it becomes possible to write in the stable data which are not influenced of the last data like the 1st and 2nd example.

[0129] (precharge actuation) The precharge actuation carried out before this data sampling is explained with reference to drawing 19 . Drawing 19 shows the relation of the precharge period TPRE and the sampling period TSAM which are set up about each data signal line.

[0130] The data signal line actuation circuit 180 uses the sampling period set up about n Motome's data signal line as a precharge period of n+3 Motome's data signal line as mentioned above. That is, the sampling period set up about 1 Motome's data signal line 112a is made to serve a double purpose as a precharge period for 112d of 4 Motome's data signal lines as shown in drawing 19 . Similarly, the sampling period set up about 2 Motome's data signal line 112b is made to serve a double purpose as a precharge period for 5 Motome's data signal line 112e. Thus, what is necessary is just to carry out parallel connection of the switch for precharge, and the switch for a sampling to the end side of a data signal line, and to form one data signal line actuation circuit 180 which drives those switches, as shown in drawing 15 and drawing 16 since a sampling period signal can be made to serve a double purpose as a precharge signal. Therefore, while circuit magnitude contracts as compared with the case of drawing 1 and a circuit layout becomes easy, it can contribute to the miniaturization of the circuit board.

[0131] Here, between the precharge periods and sampling periods which were set up about the same data signal line, spacing for one period of a dot clock DC shown in drawing 18 is prepared. Therefore, it becomes possible to supply the sampled data

potential about the data signal line which turned off switch 172 for precharge a, and 172b, and precharge completed. The supply line of a precharge period signal which sets up a precharge period especially is taken about, and even if it originates in the parasitic capacitance of the supply line and delay arises, the situation where the switch for precharge and the switch for a sampling are simultaneously turned on by spacing mentioned above can be prevented. Although potentials other than original data will be sampled and image quality will deteriorate if both switches are turned on simultaneously, this example can prevent the evil.

[0132] Here, in drawing 11 which explained setting out for the precharge period in the 1st example, in order to open the same spacing as the 3rd example between a precharge period and a sampling period, the sampling period for n Motome's data signal line must be set up as a precharge period for n+5 Motome's data signal line. In this point and the 3rd example, by making the die length of a sampling period shorter than the case of the 1st example, the leading-about die length of the line of a precharge period signal can be shortened, a circuit layout becomes simpler, and delay of a precharge period signal also decreases.

[0133] (4) The 4th example of the 4th ***** changes point sequential actuation of the 1st and 3rd examples for example, into 6-pixel simultaneous actuation of the number of phase expansions, and the same number. for example, a dot clock high-frequency-izes that it is an engineering workstation (EWS) (for example, 130MHz) -- having -- a dot order -- the phase contrast for degree actuation is set to 10 or less ns. In this case, if a sample hold switch is set to TFT, switching cannot be followed at all. Therefore, in such a case, two or more simultaneous actuation is effective. Hereafter, this 4th example is explained with reference to drawing 20 - drawing 22 .

[0134] (the configuration and phase expansion signal of a data-processing circuit block) the 4th example -- setting -- the 1- the 1- outputted to the 6th phase expansion signal line Data1-Data6 -- in order to realize 6-pixel simultaneous writing, the head location of the phase expansion signal [6th] where each pixel data switch corresponds, as shown in drawing 22 .

[0135] For this reason, in this 4th example, the data-processing block 30 shown in drawing 20 is extending the sample hold circuit 36 between the phase expansion circuit 32, and magnification and an inverting circuit 34. As for the head location of each pixel data of each phase expansion signal, one period of dot clocks DC will shift at a time by 1st sample hold actuation in the phase expansion circuit 32 as drawing 2 . however, as being shown in drawing 22 by bundling up in the sample hold circuit 36 of the latter part, and carrying out sample hold again -- the 1- the 1- outputted to the 6th phase expansion signal line Data1-Data6 -- the head location of the phase expansion signal [6th] of each pixel data corresponds. In addition, buffer memory can be used as a latter sample hold circuit 36. Moreover, magnification and an inverting

circuit 34 may be arranged in the preceding paragraph of the phase expansion circuit 32.

[0136] (the configuration and its actuation of a data side actuation circuit) The data side actuation circuit 104 has the shift register 400 of the 1st train as shown in drawing 20 . The input signal DX used as the shift data inputted into this shift register 400, a clock signal CLK, and its reversal clock signal are the same as the input signal DX of the 1st example shown in drawing 8 (A), the 1st clock signal CLX, and its reversal clock signal. That is, an input signal DX is made into the signal which covers eight periods of the dot clock signal DC, and serves as HIGH as it is shown in drawing 21 . Moreover, the pulse of the half-pulse width of an input signal DX is repeatedly outputted with the period of the pulse width of an input signal DX as a clock signal CLK is shown in drawing 21 .

[0137] The shift register 400 is constituted including the multistage master slave mold clocked inverter. The output signal SL 1 and --SL8 of each stage of this shift register 400 become as they are shown in drawing 21 .

[0138] and -- this 4th example -- the 1- the 1st output signal SL 1 from the 1st step of a shift register 400 is inputted into the sample hold switches [which were connected to the 6th data signal line 112a-112f / 106a-106f] gate in common.

[0139] the same -- carrying out -- the 7- the 4th output signal SL 4 from the 4th step of a shift register 400 is inputted into the sample hold switches [which were connected to the 12th data signal line 112g-112l. / 106g-106l.] gate in common. In addition, the same is said of the case of the data signal line after the 13th data signal line.

[0140] Consequently, as shown in drawing 22 , the period of four periods of a dot clock DC will be set up in common as a sampling period to the phase expansion signal of the data length of six periods of a dot clock DC. Therefore, it becomes possible to write in the stable data which are not influenced of the last data like the 1st - the 3rd example.

[0141] In addition, although the same input signal DX as the 1st example, a clock signal CLX, and its reversal clock signal were used in this 4th example, the signal with which the 2nd and 3rd example corresponds can be used. If the signal of the 2nd example is used, the period of three periods of a dot clock DC will be set up in common as a sampling period. Similarly, if the signal of the 3rd example is used, the period of two periods of a dot clock DC will be set up in common as a sampling period.

[0142] (precharge actuation) The timing of the precharge in the 4th example is explained with reference to drawing 23 . six data signal line 112 (g) - simultaneously sampled in this 4th example -- the sampling period TSAM1 of six data signal lines 112a-112h sampled simultaneously is made to serve a double purpose as a precharge period TPRE2 set up before the sampling period TSAM2 of 112 (l). It is also possible to replace with this and to precharge all data signal lines within a horizontal blanking interval.

[0143] (5) The 5th example of the 5th ***** is a modification of the 1st – the 3rd example, with the data-processing circuit block 30, performs magnification and polarity reversals first, and is carrying out 6 phase expansion after that as shown in drawing 24 . In this case, the number of magnification and the polarity-reversals circuits 34 is one sufficient as shown in drawing 24 . Therefore, circuit magnitude contracts as compared with the case of drawing 3 , and dispersion in the signal potential between six phase expansion signal lines becomes only a part for DC offset of six sample hold circuits, and decreases. In addition, dispersion in the gain in six video amplifier is added, and dispersion in the signal potential between six phase expansion signal lines in the case of drawing 3 becomes larger. Magnification and the polarity-reversals circuit 34 of drawing 24 are the same about the 6th example or subsequent ones which may use the configuration of drawing 5 and is explained below.

[0144] (6) The 6th example of the 6th ***** is a modification of the 4th example, like the 5th example, performs magnification and polarity reversals first with the data-processing circuit block 30, and is carrying out 6 phase expansion after that as shown in drawing 25 . In this case, the number of magnification and the polarity-reversals circuits 34 is one sufficient as shown in drawing 25 . Therefore, circuit magnitude contracts as compared with the case of drawing 3 , and dispersion in the signal potential of six picture signal lines also becomes empty, and is lost.

[0145] Drawing 26 is a timing chart explaining actuation of the circuit of drawing 25 . It is as above-mentioned that the output of the phase expansion circuit 32 of drawing 25 is equivalent to the 1st sample hold output shown in drawing 26 , and serves as a signal by which 6 phase expansion was carried out. Based on the 2nd sample hold clock SCLK7 of drawing 26 , on-off actuation of the switches 550a-550f formed in the sample hold circuit 36 of drawing 25 is carried out simultaneously. Consequently, the head location of an output [buffers / 554a-554f / of drawing 25] of each pixel data corresponds so that it may be shown as 2nd sample hold output of drawing 26 . About precharge actuation, it can carry out like the 4th example.

[0146] (7) The 7th example of the 7th ***** has established two sample hold circuits 36 and 38 in the latter part of the phase expansion circuit 32 as it shows the modification of drawing 25 and shows it to drawing 27 . Drawing 28 is a timing chart explaining actuation of the circuit of drawing 27 . The output of the phase expansion circuit 32 of drawing 27 is equivalent to the 1st sample hold output shown in drawing 28 , and serves as a signal by which 6 phase expansion was carried out. Based on the sampling clock SCLK7 of drawing 28 , on-off actuation of the switches 550a-550c formed in the sample hold circuit 36 of drawing 27 is carried out simultaneously. Consequently, the head location of the buffer 554a – 554c output of drawing 27 of each pixel data corresponds so that it may be shown as 2nd sample hold output of drawing 28 . Based on the sampling clock SCLK8 of drawing 28 , on-off actuation of the switches 550d-550f formed in the sample hold circuit 36 of drawing 27 is carried

out simultaneously. Consequently, the head location of the buffer 554a – 554c output of drawing 27 of each pixel data corresponds so that it may be shown as 2nd sample hold output of drawing 28 . Based on the sampling clock SCLK9 of drawing 28 , on-off actuation of the switches 560a–560f formed in the sample hold circuit 38 of the last stage of drawing 27 is carried out simultaneously. Consequently, the head location of an output [buffers / 564a–564f / of drawing 27] of each pixel data corresponds so that it may be shown as 3rd sample hold output of drawing 28 .

[0147] Whenever it carries out like this, in the data sampling of each time, the part which is not the edge of the data area of the data length by which 6 phase expansion was carried out can be sampled. Therefore, it is prevented that an unnecessary component mixes in the wave supplied to the display element of a liquid crystal panel, and image quality improves. Precharge actuation in this case as well as the 4th example is carried out.

[0148] (8) The 8th example of the 8th ***** enables 1 dot of a liquid crystal panel, and polarity–reversals actuation in every line, and reduces the bias of dispersion in the signal between six phase expansion signal lines.

[0149] The 1st [which inputs the output of video amplifier 510], and 2nd polarity–reversals circuit 600 and 610 is formed as shown in drawing 29 . The circuitry of the this 1st and 2nd polarity–reversals circuit 600 and 610 is the same as drawing 4 , and considers the switch of the last stage as the 1st switch SW1 and the 2nd switch SW2, respectively. This 1st and 2nd switch 1 and SW 2 is driven so that a mutually different polarity may be chosen in dot reversal actuation. In performing only line reversal, it drives this 1st and 2nd switch 1 and SW 2 so that the same polarity may be chosen mutually.

[0150] The output of the 1st switch SW1 is inputted into 1 of the phase expansion circuit 34, and the 3 or 5th switches 500a, 500c, and 500e. The output of the 2nd switch SW2 is inputted into 2 of the phase expansion circuit 34, and the 4 or 6th switches 500b, 500d, and 500f.

[0151] Six kinds of sampling clocks SHCL1–SHCL6 which drive the 1st to the 6th switches 500a–500f are prepared as shown in drawing 30 , and they are generated with the timing generating circuit block 20 based on select signals S1–S6. With this equipment, based on the horizontal synchronization and vertical synchronization of actuation of a liquid crystal panel 10, supply of six kinds of sampling clocks SHCL1–SHCL6 was chosen from the patterns of S1–S6, and is switched. For this reason, in the timing generating circuit 20, 6 ** counter which counts a Horizontal Synchronizing signal is formed. If it puts in another way whenever 6 ** counter counts, the scan signal line 110 of drawing 1 will switch select signals S1–S6 in order to every [which is newly chosen] one horizontal scanning (1H), and will output them to it.

[0152] Here, a buffers [used as the output of the phase expansion circuit 32 / 504a–504f] phase expansion signal output is called for short V1–V6, respectively.

When these outputs V1-V6 are rearranged into a pixel location and carried out, the driving method shown in drawing 31 can be considered.

[0153] A select signal S2 and the 3rd line followed the select signal S3, the select signal S6 was --6 line followed [of a select signal S1 and the 2nd line], and drawing 31 has repeated this for the sampling sequence of the 1st line with a switch and subsequent lines. + in drawing 31 and - show the polarity of data, they are switching the 1st and 2nd switch SW1 and SW2 with the signal from the timing generating circuit block 20, and the so-called dot reversal actuation of them as drawing 31 is attained. If the actuation output of drawing 31 is expressed with the serial pixel data a1, a2, -- (the 1st line), b1 and b2 -- (the 2nd line), it must be supplied as drawing 32 at each pixel.

[0154] In this 8th example, the connection change-over circuit (rotation circuit) 700 which switches connection between six phase expansion signal output lines 505a-505f and six phase expansion signal supply lines Data1-Data6 is formed so that the output of drawing 31 may be supplied by each pixel as drawing 32. It is necessary to perform this change-over synchronizing with a change-over of the phase expansion sequence in the above-mentioned phase expansion circuit 34, and is chosen from six kinds shown in drawing 30 based on the signal from the timing generating circuit block 20. The dot reversal actuation shown in drawing 32 is realizable with this change-over.

[0155] Since according to this 8th example a bright pixel does not follow the lengthwise direction of a liquid crystal panel 100 like before and it is scattered in the direction of slant here, for example even if the gain of one certain amplifier is high even if there is dispersion in the gain in the middle of six phase expansion signal lines (for example, amplifier), it cannot be conspicuous on vision and can carry out.

[0156] (9) The electronic equipment constituted using the image display device of each 9th example above-mentioned example is constituted including the display panels 1006, such as the source 1000 of a display information output shown in drawing 33, the display information processing circuit 1002, the display actuation circuit 1004, and a liquid crystal panel, the clock generation circuit 1008, and a power circuit 1010. The source 1000 of a display information output is constituted including the tuning circuit which aligns and outputs memory, such as ROM and RAM, and a TV signal, and outputs display information, such as a video signal, based on the clock from the clock generation circuit 1008 equivalent to the above-mentioned timing circuit block 20. The display information processing circuit 1002 is equivalent to the data-processing circuit block 30 of each above-mentioned example, and processes and outputs display information based on the clock from the clock generation circuit 1008. This display information processing circuit 1002 can include an others and gamma correction circuit, a clamping circuit, etc. which are above-mentioned magnification and polarity-reversals circuit, a phase expansion circuit, a rotation circuit, etc. The

actuation circuit 1004 is constituted including the above-mentioned scan side actuation circuit 102, the data side actuation circuit 104 and the precharge actuation circuit 160, or the data-line actuation circuit 180, and carries out display actuation of the liquid crystal panel 1006. A power circuit 1010 supplies power to each above-mentioned circuit.

[0157] The equipment equipped with the video tape recorder of the personal computer corresponding to multimedia (PC) and engineering workstation (EWS) which are shown in the liquid crystal projector shown in drawing 34 and drawing 35, the pager shown in drawing 36 or a cellular phone, a word processor, television, a viewfinder mold, or a monitor direct viewing type, an electronic notebook, an electronic calculator, car navigation equipment, the POS terminal, and the touch panel as electronic equipment of such a configuration can be mentioned.

[0158] The liquid crystal projector shown in drawing 34 is a projection mold projector which used the transparency mold liquid crystal panel as a light valve, for example, the optical system of 3 plate prism method is used for it. In drawing 34, inside a light guide 1104, the projection light injected from the lamp unit 1102 of the source of the white light is divided into the three primary colors of R, G, and B with two or more mirrors 1106 and the dichroic mirror 1108 of two sheets, and is led to three active matrix liquid crystal panels 1110R, 1110G, and 1110B which display the image of each color by the projector 1100. And incidence of the light modulated with each liquid crystal panel 1110R, 1110G, and 1110B is carried out to a dichroic prism 1112 from three directions. In a dichroic prism 1112, 90 degrees of light of Red R and Blue B are bent, since the light of Green G goes straight on, the image of each color is compounded, and a color picture is projected on a screen etc. through the projection lens 1114.

[0159] The personal computer 1200 shown in drawing 35 has the body section 1204 equipped with the keyboard 1202, and the liquid crystal display screen 1206.

[0160] The pager 1300 shown in drawing 36 has the light guide 1306 equipped with the liquid crystal display substrate 1304 and back light 1306a in the metal frame 1302, the circuit board 1308, the 1st, the 2nd shielding plate 1310, 1312 or 2 elastic conductors 1314 and 1316, and the tape carrier package tape 1318. Two elastic conductors 1314 and 1316 and the tape carrier package tape 1318 connect the liquid crystal display substrate 1304 and the circuit board 1308.

[0161] Here, the liquid crystal display substrate 1304 is what enclosed liquid crystal between two transparence substrates 1304a and 1304b, and, thereby, a liquid crystal display panel is constituted at least. In addition to the actuation circuit 1004 shown in one transparence substrate at drawing 33, or this, the display information processing circuit 1002 can be formed. The circuit which is not carried in the liquid crystal display substrate 1304 is made into the external circuit of a liquid crystal display substrate, and, in the case of drawing 29, can be carried in the circuit board 1308.

[0162] Since drawing 36 shows the configuration of a pager, the circuit board 1308 is

needed. However, it is the case where a liquid crystal display is used as elegance for electronic equipment a part, and when a display actuation circuit etc. is carried in a transparence substrate, the smallest unit of the liquid crystal display is the liquid crystal display substrate 1304. Or what fixed the liquid crystal display substrate 1304 to the metal frame 1302 as a housing can also be used as a liquid crystal display for electronic equipment which is elegance a part. Furthermore, in the case of a back light type, in the metal frame 1302, the liquid crystal display substrate 1304 and the light guide 1306 equipped with back light 1306a can be incorporated, and a liquid crystal display can be constituted. As it replaces with these and is shown in drawing 37, TCP (Tape Carrier Package)1320 which mounted the IC chip 1324 can be connected to the polyimide tape 1322 on which the metaled electric conduction film was formed in one side of two transparence substrates 1304a and 1304b which constitute the liquid crystal display substrate 1304, and it can also be used as a liquid crystal display for electronic equipment which is elegance a part.

[0163] In addition, this invention is not limited to the above-mentioned example, and deformation implementation various by within the limits of the summary of this invention is possible for it. For example, this invention is applicable not only to what is applied to actuation of various kinds of above-mentioned liquid crystal panels but the image display device using electroluminescence, plasma display equipment, CRT, etc. Moreover, various kinds of deformation of those other than the above-mentioned example is possible for a setting-out location, die length, etc. of the data length of the number of phase expansions, and a phase expansion signal and the die length of the sampling period over it, or a precharge period.

[0164] Moreover, in the above-mentioned example, although phase expansion was carried out and the analog picture signal was explained based on the example which carries out sample hold, capacity for the phase expansion and the sampling in an example can be used as digital memory. In this case, a digital picture signal is changed into the phase expansion signal of Data 1-1 to 1-4, --Data 6-1 to 6-4 as 4-bit parallel data, and Data 1-1 to 1-4 is sampled in a latch circuit with the same sampling period signal. the output of a latch circuit -- D/A conversion -- pulse width modulation is carried out, it is outputted to a data signal line, and the liquid crystal layer 116 is supplied through a switching element 114.

[0165] Moreover, in the above-mentioned example, although the example using TFT as a switching element of a pixel was explained, 2 terminal components, such as MIM, are sufficient as a switching element. In this case, since the series connection of 2 terminal component and the liquid crystal layer is carried out between a scan signal line and a data signal line and a pixel is constituted, the difference electrical potential difference of both signal lines is supplied to a pixel.

[0166] Moreover, in the above-mentioned example, although the substrate with which the component of a liquid crystal panel was formed was used as glass or the substrate

of a quartz, using TFT as a switching element, it can replace with this and a semi-conductor substrate can also be used. In this case, not TFT but an MOS transistor serves as a switching element.

[0167]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is approximate account drawing of the active matrix liquid crystal display concerning the 1st example of this invention.

[Drawing 2] Drawing 2 is approximate account drawing for explaining 6 phase expansion actuation.

[Drawing 3] Drawing 3 is the circuit diagram showing the example of circuitry of a data-processing circuit block of drawing 1.

[Drawing 4] Drawing 4 is the circuit diagram showing the example of the magnification and the polarity-reversals circuit shown in drawing 3.

[Drawing 5] Drawing 5 is the circuit diagram showing other examples of the magnification and the polarity-reversals circuit shown in drawing 3.

[Drawing 6] Drawing 6 is a timing chart which shows actuation of the phase expansion circuit of drawing 3.

[Drawing 7] Drawing 7 is the circuit diagram showing the detail of the data side actuation circuit of the 1st example.

[Drawing 8] The timing chart of the data side actuation circuit which shows drawing 8 (A) to drawing 7, and drawing 8 (B) are the timing charts of a scan side actuation circuit.

[Drawing 9] Drawing 9 is property drawing showing the data length of the phase expansion signal of the 1st example, and the relation of a sampling period.

[Drawing 10] Drawing 10 (A) and (B) are approximate account drawings for explaining precharge actuation.

[Drawing 11] Drawing 11 is approximate account drawing for explaining the precharge period in the 1st example.

[Drawing 12] Drawing 12 is the circuit diagram showing the detail of the data side actuation circuit of the 2nd example of this invention.

[Drawing 13] Drawing 13 is the timing chart of the data side processing circuit shown in drawing 12.

[Drawing 14] Drawing 14 is property drawing showing the data length of the phase expansion signal of the 2nd example, and the relation of a sampling period.

[Drawing 15] Drawing 15 is approximate account drawing for explaining the precharge

period in the 2nd example.

[Drawing 16] Drawing 16 is the circuit diagram showing the detail of the data signal line actuation circuit of the 3rd example of this invention.

[Drawing 17] Drawing 17 is the timing chart of the data signal line actuation circuit shown in drawing 16 .

[Drawing 18] Drawing 18 is property drawing showing the data length of the phase expansion signal of the 3rd example, and the relation of a sampling period.

[Drawing 19] Drawing 19 is approximate account drawing for explaining the precharge period in the 3rd example.

[Drawing 20] Drawing 20 is the circuit diagram showing the detail of the data side actuation circuit of the 4th example of this invention, and a data-processing circuit block.

[Drawing 21] Drawing 21 is the timing chart of the data side actuation circuit shown in drawing 20 .

[Drawing 22] Drawing 22 is property drawing showing the data length of the phase expansion signal of the 4th example, and the relation of a sampling period.

[Drawing 23] Drawing 23 is approximate account drawing for explaining the precharge period in the 4th example.

[Drawing 24] Drawing 24 is the circuit diagram showing the example of a configuration of a data-processing circuit block of the 5th example of this invention.

[Drawing 25] Drawing 25 is the circuit diagram showing the example of a configuration of a data-processing circuit block of the 6th example of this invention.

[Drawing 26] Drawing 26 is a timing chart which shows phase expansion actuation in the circuit of drawing 25 .

[Drawing 27] Drawing 27 is the circuit diagram showing the example of a configuration of a data-processing circuit block of the 7th example of this invention.

[Drawing 28] Drawing 28 is a timing chart which shows phase expansion actuation in the circuit of drawing 27 .

[Drawing 29] Drawing 29 is the circuit diagram showing the example of a configuration of a data-processing circuit block of the 8th example of this invention.

[Drawing 30] Drawing 30 is approximate account drawing for explaining the class of sampling period signal inputted into the phase expansion circuit shown in drawing 29 , and the line connection condition switched in a connection change-over circuit corresponding to it.

[Drawing 31] Drawing 31 is approximate account drawing which rearranged into the pixel location the buffer output shown in drawing 29 in the case of the polarity-reversals actuation for every dot.

[Drawing 32] Drawing 32 is approximate account drawing showing the polarity of the pixel data in the case of the polarity-reversals actuation for every dot attained by actuation of drawing 31 .

[Drawing 33] Drawing 33 is the block diagram of the electronic equipment concerning the 9th example of this invention.

[Drawing 34] Drawing 34 is approximate account drawing of a projector where this invention is applied.

[Drawing 35] Drawing 35 is the external view of the personal computer with which this invention is applied.

[Drawing 36] Drawing 36 is the decomposition perspective view of the pager to which this invention is applied.

[Drawing 37] Drawing 37 is the outline perspective view showing an example of the liquid crystal display equipped with the external circuit.

[Drawing 38] Drawing 38 is approximate account drawing for explaining the trouble when carrying out phase expansion.

[Drawing 39] Drawing 39 is approximate account drawing for explaining generating of the ghost when carrying out image display using the phase expansion signal of drawing 38 .

[Drawing 40] Drawing 40 is a wave which the ghost of drawing 39 produces, and is the wave form chart showing typically the voltage waveform supplied to a liquid crystal layer.

[Description of Notations]

- 10 Liquid Crystal Panel Block
- 20 Timing Circuit Block
- 30 Data-Processing Block
- 32 Phase Expansion Circuit
- 34 Magnification and Inverting Circuit
- 36 Sample Hold Circuit
- 100 Liquid Crystal Panel
- 102 Scan Side Actuation Circuit
- 104 Data Side Actuation Circuit
- 106 Sample Hold Switch
- 110 Scan Signal Line
- 112 Data Signal Line
- 114 Switching Element
- 116 Liquid Crystal Layer
- 120-150 Shift register
- 170 Precharge Actuation Circuit
- 172a, b Switch for precharge
- 174a, b The 1st, 2nd precharge line
- 180 Data Signal Line Actuation Circuit
- 300,310 Shift register

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-171421

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl. ⁶	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0

審査請求 未請求 請求項の数17 F D (全 33 頁)

(21) 出願番号 特願平8-352358

(22) 出願日 平成8年(1996)12月12日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 青木 透

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

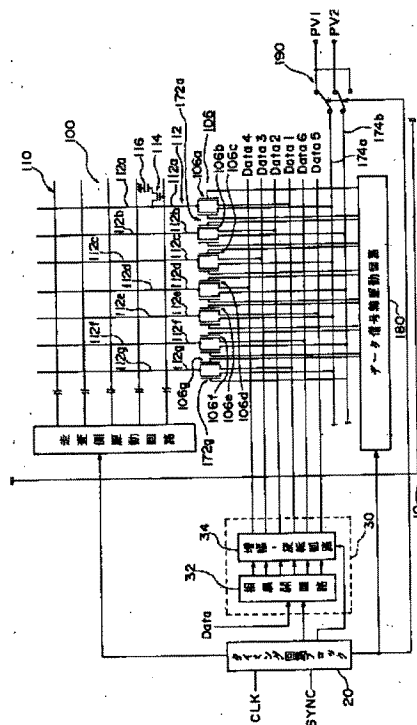
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 画像表示装置、画像表示方法及び表示駆動装置並びにそれを用いた電子機器

(57) 【要約】 (修正有)

【課題】 液晶表示装置などにおいて、プリチャージを画素データに基づいて行うことにより、画素データを正確に電圧として画素に供給し、ゴーストを改善する。

【解決手段】 相展開回路32は時系列的画像信号をサンプリングして、そのサンプリング周期よりも長いデータ長に変換した相展開信号を並列に出力し、データ信号線112に接続したサンプリング用スイッチ106は相展開信号の一つを入力とし、相展開信号中の画素データをサンプリングしてデータ信号をデータ信号線に供給し、データ線駆動回路180は、相展開信号のデータ長に相当する期間よりも短いサンプリング期間信号を生成してサンプリング回路に供給し、サンプリング期間信号に基づいてプリチャージ期間信号を生成し、データ信号線の一端にてサンプリング用スイッチと並列に接続したプリチャージ用スイッチ172a…に供給する。



【特許請求の範囲】

【請求項1】 複数のデータ信号線と複数の走査信号線の交差により形成される画素位置に、画素を配置して成る画像表示部と、
走査信号を順次前記走査信号線に供給する走査信号線選択手段と、
を有し、前記画素に印加される電圧の極性を所定期間毎に反転させて駆動する画像表示装置において、
各々の前記画素位置に対応するデータを時系列的に有する画像信号をサンプリングして、そのサンプリング周期よりも長いデータ長に変換されたN個の相展開信号をN本の相展開信号線に並列に出力する相展開手段と、
各々の前記データ信号線にそれぞれ接続され、前記N個の相展開信号の一つをそれぞれ入力とし、該相展開信号中の前記画素データをサンプリング期間に亘ってサンプリングして、前記データ信号線にデータ信号として供給する複数のサンプリング用スイッチング手段と、
前記相展開信号のデータ長に相当する期間よりも短い前記サンプリング期間に対応するサンプリング期間信号を、前記サンプリング用スイッチング手段に供給して前記データ信号線を駆動するデータ信号線駆動手段と、
各々の前記データ信号線に前記データ信号を供給するための前記サンプリング期間の前のプリチャージ期間に、該サンプリング期間にてサンプリングされる画素データに基づいて前記画素に印加される電圧の極性と同一極性で各々の前記データ信号線をプリチャージする複数のプリチャージ用スイッチング手段と、
を有することを特徴とする画像表示装置。

【請求項2】 請求項1において、
前記複数のサンプリング用スイッチング手段及び複数のプリチャージ用スイッチング手段とは、各々の前記データ信号線の一端側に並列接続されることを特徴とする画像表示装置。

【請求項3】 請求項2において、
前記データ信号線駆動手段は、前記サンプリング期間信号に基づいて、前記複数のプリチャージ用スイッチング手段を前記プリチャージ期間に亘ってオンさせるプリチャージ期間信号を生成し、前記複数のプリチャージ用スイッチング手段に供給することを特徴とする画像表示装置。

【請求項4】 請求項3において、
前記相展開手段は、N個の前記相展開信号の画素データの先頭位置を、基準クロックに基づき順次ずらして、N個の前記相展開信号をN本の前記相展開信号線に並列に出力し、
前記データ信号線駆動手段は、前記サンプリング期間の開始時期を順次ずらして設定する前記サンプリング期間信号を生成し、かつ、一の前記データ信号線について前記サンプリング期間を設定するための前記サンプリング期間信号を、他の前記データ信号線についてプリチャージ

期間を設定するための前記サンプリング期間信号として兼用することを特徴とする画像表示装置。

【請求項5】 請求項4において、
前記データ信号線駆動手段は、
入力信号を順次シフトする複数段構成を有し、各段の出力信号が、次段の出力信号と一部位相が重なるタイミングで出力されるシフトレジスタと、
各々の前記サンプリング用スイッチング手段に接続され、前記シフトレジスタからの互いに信号位相が重なる2つの前記出力信号が入力され、その論理積を前記サンプリング期間信号として前記サンプリング用スイッチング手段に出力する複数の論理積回路と、
を有し、
前記複数の論理積回路の出力に基づいて生成された前記サンプリング期間信号を前記複数のサンプリング用スイッチング手段に供給し、前記サンプリング期間信号を、該信号が供給される前記サンプリング用スイッチとは並列接続されないプリチャージ用スイッチに供給することで、前記サンプリング期間信号をプリチャージ期間信号として兼用したことを特徴とする画像表示装置。

【請求項6】 請求項3において、
前記相展開手段は、N個の前記相展開信号の各々の前記画素データの先頭を一致させて、N本の前記相展開信号線にN個の前記相展開信号を並列に出力し、
前記データ信号線駆動手段は、N個の前記サンプリング用スイッチング手段に対して、サンプリング期間の開始時期を一致させた共通のサンプリング期間信号を供給し、かつ、他のN個のプリチャージ用スイッチング手段に、共通のプリチャージ期間信号を供給することを特徴とする画像表示装置。

【請求項7】 請求項6において、
前記共通のサンプリング期間信号を、前記他のN個のプリチャージ用スイッチング手段に、前記共通のプリチャージ期間信号として供給することを特徴とする画像表示装置。

【請求項8】 請求項7において、
前記データ信号線駆動手段は、
入力信号を基準クロックの一周期ずつ順次シフトして送出するシフトレジスタを有し、
 m ($1 \leq m \leq$ 一本の走査信号線上の総画素数/前記相展開信号線の総数) 番目に同時駆動されるデータ信号線に接続されたN個の前記サンプリング用スイッチング手段に、一水平走査期間内の ($3m-2$) 番目の前記シフトレジスタ出力をサンプリング期間信号として供給し、
該 ($3m-2$) 番目の前記シフトレジスタ出力を、($m+1$) 番目に同時駆動されるデータ信号線に接続された他のN個のプリチャージ用スイッチング手段に供給することを特徴とする画像表示装置。

【請求項9】 請求項1又は2において、
全ての前記データ信号線についての前記プリチャージ期

間を、水平帰線期間内に設定したことを特徴とする画像表示装置。

【請求項 10】 請求項 1 乃至 9 のいずれかにおいて、前記画像表示部は、一対の基板間に液晶を介在させた液晶パネルであり、複数の前記サンプリング用スイッチング手段は、一方の前記基板上に形成された複数の薄膜トランジスタで構成され、前記データ信号線駆動手段からの前記サンプリング期間信号は、各々の前記薄膜トランジスタのゲートに供給されることを特徴とする画像表示装置。

【請求項 11】 請求項 1 乃至 10 のいずれかにおいて、前記画像表示部は、一対の基板間に液晶を介在させた液晶パネルであって、前記データ信号線を介して前記画素の一端に印加される電圧と、該画素の他端に印加される電圧との差電圧を前記画素位置の前記液晶に印加し、かつ前記液晶に印加される電界の極性を反転して駆動するものであり、前記相展開手段の前段に、入力される画像信号から、極性反転基準電位に対して第 1 の極性で前記画素を駆動する第 1 極性画像信号と、前記第 1 の極性とは逆極性の第 2 の極性で前記画素を駆動する第 2 極性画像信号とを生成して、前記第 1、第 2 極性画像信号のいずれか一方を極性反転タイミング信号に基づいて前記相展開手段に出力する極性反転手段がさらに設けられ、前記相展開手段は、前記第 1、第 2 極性画像信号を相展開して、第 1、第 2 極性相展開信号を出力することを特徴とする画像表示装置。

【請求項 12】 請求項 1 乃至 10 のいずれかにおいて、前記画像表示部は、一対の基板間に液晶を介在させた液晶パネルであって、前記データ信号線を介して前記画素の一端に印加される電圧と、該画素の他端に印加される電圧との差電圧を前記画素位置の前記液晶に印加し、かつ前記液晶に印加される電界の極性を反転して駆動するものであり、前記相展開手段の後段に、前記 N 個の相展開信号の一つから、極性反転基準電位に対して第 1 の極性で前記画素を駆動する第 1 極性相展開信号と、前記第 1 の極性とは逆極性の第 2 の極性で前記画素を駆動する第 2 極性相展開信号とを生成して、前記第 1、第 2 極性相展開信号のいずれか一方を極性反転タイミング信号に基づいて出力する極性反転手段がさらに設けられたことを特徴とする画像表示装置。

【請求項 13】 請求項 1 乃至 12 のいずれかにおいて、前記データ信号線を前記第 1 の極性でプリチャージする第 1 のプリチャージ電位と、前記データ信号線を前記第 2 の極性でプリチャージする第 2 のプリチャージ電位と

を、前記走査信号線を選択する毎に切り換えて前記複数のプリチャージ用スイッチング手段に供給するプリチャージ電位供給手段をさらに設けたことを特徴とする画像表示装置。

【請求項 14】 請求項 2 において、前記複数のプリチャージ用スイッチング手段の奇数番目に接続された第 1 のプリチャージラインと、前記複数のプリチャージ用スイッチング手段の偶数番目に接続された第 2 のプリチャージラインと、前記データ信号線を前記第 1 の極性でプリチャージする第 1 のプリチャージ電位と、前記データ信号線を前記第 2 の極性でプリチャージする第 2 のプリチャージ電位とを、前記走査信号線を選択する毎に切り換えて、前記第 1、第 2 のプリチャージラインに供給するプリチャージ電位供給手段と、をさらに設けたことを特徴とする画像表示装置。

【請求項 15】 請求項 1 乃至 14 のいずれかに記載の画像表示装置を有することを特徴とする電子機器。

【請求項 16】 複数のデータ信号線と複数の走査信号線の交差により形成される画素位置に画素を配置して成る画像表示部を、前記画素に印加される電圧の極性を所定期間毎に反転させて駆動する表示駆動装置において、走査信号を順次前記走査信号線に供給する走査信号線選択手段と、各々の前記画素位置に対応するデータを時系列的に有する画像信号をサンプリングして、そのサンプリング周期よりも長いデータ長に変換された複数の相展開信号を並列に出力する相展開手段と、各々の前記データ信号線にそれぞれ接続され、前記複数の相展開信号の一つをそれぞれ入力とし、前記相展開信号中の前記データをサンプリングして、前記データ信号線にデータ信号として供給する複数のサンプリング用スイッチング手段と、前記相展開信号のデータ長に相当する期間よりも短いサンプリング期間のサンプリング期間信号を生成して、前記サンプリング用スイッチング手段に供給するデータ信号線駆動手段と、各々の前記データ信号線に前記データ信号を供給するための前記サンプリング期間の前のプリチャージ期間に、該サンプリング期間にてサンプリングされる画素データに基づいて前記画素に印加される電圧の極性と同一極性で各々の前記データ信号線をプリチャージする複数のプリチャージ用スイッチング手段と、を設けたことを特徴とする表示駆動装置。

【請求項 17】 複数のデータ信号線と複数の走査信号線の交差により形成される画素位置に画素を有し、前記画素に印加される電圧の極性を所定期間毎に反転させて駆動する画像表示方法において、各々の前記画素位置に対応するデータを時系列的に有する画像信号をサンプリングして、そのサンプリング周期

よりも長いデータ長に変換された複数の相展開信号を並列に出力する工程と、

複数の前記相展開信号中の前記データを、前記相展開信号のデータ長に相当する期間よりも短いサンプリング期間にてそれぞれサンプリングする工程と、

前記走査信号線を順次選択しながら、その選択された走査信号線上の複数の前記画素に、前記相展開信号よりサンプリングされたデータを前記データ信号線を介してデータ信号として供給する工程と、

各々の前記データ信号線に前記データ信号を供給するための前記サンプリング期間の前のプリチャージ期間に、該サンプリング期間にてサンプリングされる画素データに基づいて前記画素に印加される電圧の極性と同一極性で各々の前記データ信号線をプリチャージする工程と、を有することを特徴とする画像表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置等の画像表示装置、画像表示方法及び表示駆動装置並びにそれを用いた電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】例えば、アクティブマトリクス型の液晶表示装置では、一走査信号ラインに複数接続されたTFT（薄膜トランジスタ）等のスイッチング素子を介して、各画素の液晶層にデータを書き込む動作を、点順次駆動により実施している。

【0003】ところで、近年のマルチメディア対応の要求に答えるため、例えばパーソナルコンピュータ（PC）またはエンジニアリング・ワークステーション（EWS）にて、ビデオ信号などの自然画を表示する場合には、例えば256階調などの多階調化への対応が望まれている。

【0004】この多階調化への対応を、従来のデジタルドライバにて実現しようすると、入力信号数がビット数倍だけ多く必要となる。例えば、256階調のカラー表示の場合には、3本（R、G、B）×8ビット＝24本の入力信号数となる。

【0005】一方、アナログドライバであれば、カラー表示の場合でも3本、白黒表示の場合では1本の入力信号数で済む。さらに、デジタルドライバは階調特性が離散的であるのに対して、アナログドライバでは階調特性が連続的であり、通常の映像信号に基づく表示に適する利点もある。

【0006】ところで、アクティブマトリクス型液晶表示装置では、上述の点順次駆動のために、画像信号中のデータをTFTスイッチなどによりサンプルホールドする必要がある。このとき、TFTなどのスイッチング特性が入力画像信号の周波数に対して十分に追従できないという問題が生ずる。ドライバ内蔵の表示装置の場合、外付けドライバを用いた表示装置の場合に比べて、

サンプルホールド用TFTの能力が低く、その問題がより顕著となる。また、多数の画素を有する高精細な表示装置の場合は、入力画像信号の周波数が高くなることから、上記問題がより顕著となる。

【0007】このため、図38に示すように、入力画像信号を例えば6つのパラレル信号に相展開し、1画素あたりのデータ長を長くして、液晶パネルに入力される信号周波数を低くする技術が提案されている（特願平6-316988号）。

【0008】この相展開により、例えばサンプルホールドスイッチとしてのTFTの周波数特性が十分でなくても、1画素あたりのデータ長を長くして、解像度を高くできる。

【0009】図38に示すように、6相展開されてそれぞれ並列出力される各々の相展開信号のデータ長は、基準クロックの6周期分の長さとなっている。

【0010】これをTFTなどのサンプルホールドスイッチにてサンプリングする際に、例えばTFTのゲートに入力されるサンプリング期間信号により設定されるサンプリング期間を、当初は図38に示すように、基準クロックの8周期分の長さに設定することを試みた。

【0011】TFTのスイッチングの追従性を考慮して、相展開信号中のデータ長に対して十分なサンプリング期間を設定したからである。また、このサンプリング期間を有するサンプリング期間信号は、シフトレジスタのみを用いることで容易に生成できたからである。

【0012】しかしながら、本発明者の実験によれば、図39に模式的に示すように、例えば矢印1を画面2に表示しようとしたとき、この矢印1の走査方向後段に、破線で示すゴースト3が生ずる場合があることが判明した。

【0013】また、液晶にかかる電圧の偏りによる表示むらをなくし、液晶にかかる直流電流による液晶の劣化などを防ぐために、液晶に印加される電圧の極性を所定のタイミングで反転させる極性反転駆動が行われている。極性反転駆動とは、液晶の一端に、液晶の他端に印加される電位を基準として異なる極性（正又は負の極性）の電圧を印加する駆動である。なお、本明細書における極性とは、液晶の両端に印加される電圧の極性を意味する。極性反転駆動するには、アクティブマトリクス型では、液晶を挟んで画素電極と対向する共通電極に印加する電位を変化させるか、あるいは、画素電極に印加される画像信号の電圧振幅の中間電位を基準として、画像信号の電位レベルを変化させる。

【0014】ここで、走査信号線を選択する毎に極性反転を行ういわゆるライン反転あるいはこれにドット反転を組み合わせた極性反転駆動方式が知られている。この場合、同一データ信号線に接続され、かつ、異なる走査信号線に接続された2つの画素に順次表示上で例えば同じ黒を書き込む場合でも、極性反転駆動のために各々の

黒画像データの信号レベルは異なっている。このとき、データ信号線自体が寄生容量を持つため、データ信号線の電位を、正極性の黒電位から負極性の黒電位に変化させるのに時間を要する。

【0015】従来技術によれば、相展開信号中のデータ長に対して十分なサンプリング期間を設定しているので、データ信号線を充放電するのに十分な時間を確保できた。しかしながら、上述のゴーストの問題を解消し得ないので、サンプリング期間の設定に改善の余地があり、この際に併せて、サンプリング期間中にデータ信号線をデータ電位となるまで充放電させる必要がある。

【0016】そこで、本発明の目的とするところは、入力画像信号を相展開しながらも、ゴーストを低減又は防止でき、しかも、データ信号線を充放電するのに十分な時間を確保して、画像信号中の画素データに忠実な電圧を画素に供給して画質を向上することができる画像表示装置、画像表示方法及び表示駆動装置並びにそれを用いた電子機器を提供することにある。

【0017】本発明の他の目的は、ドットクロックの高速化に伴い点順次駆動ではサンプルホールド動作に追従できない場合でも、ゴーストを低減又は防止しながら表示駆動でき、しかも、画像信号の画素データに忠実な電圧を画素に供給して画質を向上することができる画像表示装置、画像表示方法及び表示駆動装置並びにそれを用いた電子機器を提供することにある。

【0018】

【課題を解決するための手段】本発明に係る画像表示装置は、複数のデータ信号線と複数の走査信号線の交差により形成される画素位置に、画素を配置して成る画像表示部を有する。走査信号線選択手段は、走査信号を順次前記走査信号線に供給する。ここで、画素に印加される電圧の極性は、所定期間毎に反転されて駆動される。相展開手段は、各々の前記画素位置に対応するデータを時系列的に有する画像信号をサンプリングして、そのサンプリング周期よりも長いデータ長に変換された複数の相展開信号を並列に出力する。各々の前記データ信号線にそれぞれ接続された複数のサンプリング手段は、前記複数の相展開信号の一つをそれぞれ入力とし、前記相展開信号中の前記データをサンプリングして、前記データ信号線にデータ信号として供給する。データ信号線駆動手段は、前記相展開信号のデータ長に相当する期間よりも短いサンプリング期間を持つサンプリング期間信号を生成して、前記サンプリング用スイッチング手段に供給する。

【0019】複数のプリチャージ用スイッチング手段は、各々の前記データ信号線に前記データ信号を供給するための前記サンプリング期間の前のプリチャージ期間に、該サンプリング期間にてサンプリングされる画素データに基づいて前記画素に印加される電圧の極性と同一極性で各々の前記データ信号線をプリチャージする。

【0020】本発明は、本発明の課題の一つであるゴーストの低減又は防止のために、以下のように機能する。

【0021】まず、本発明者は、ゴーストの発生原因が、図40の通り、サンプリング手段を介して画素に供給される波形に不要な成分が混入することにあると解析した。この波形中への不要な成分の混入は、図38に示す通り、相展開信号のデータ長がドットクロックの6周期であるのに対して、サンプリング期間がドットクロックの8周期と長くなっていることに起因している。

【0022】このため、図38にて例えばビデオnの信号線を例に挙げると、サンプリング期間信号 S/H (n)、 S/H (n+6)、 S/H (n+12)は、それぞれオーバーラップ期間を有するので、例えば S/H (n+6)のサンプリング期間の初期では、サンプリング期間信号 S/H (n)によりサンプリングされるデータまでも、 S/H (n+6)のサンプリング期間信号によりサンプリングされていた。

【0023】この場合の現象を、液晶層に供給される電位波形で観察して見た。この結果、サンプリング手段の書き込み能力に依存して、図40のように、矢印1のデータが一旦書き込まれることの影響を受けて、波形中に不要な成分が混入し、本来低くなるべきレベルの領域が、同図のゴースト3と対応する位置でレベルが高くなることが分かった。

【0024】本発明では、図9、図14、図18及び図22に象徴的に示すように、相展開信号のデータ長よりも、サンプリング期間を必ず短く設定できるため、本来のデータでない他のデータの影響が少なくなり、ゴーストを低減又は防止できる。

【0025】本発明の課題の他の一つとして、サンプリング期間内にデータ電位までデータ信号線を充放電するために、本発明は以下の通り機能する。

【0026】すなわち、各々のデータ信号線にデータ信号を供給するためのサンプリング期間の前のプリチャージ期間に、該サンプリング期間にてサンプリングされる画素データに基づいて前記画素に印加される電圧の極性と同一極性で各々の前記データ信号線をプリチャージしている。このため、プリチャージ期間にて既に、データ信号線の電位はプリチャージ電位まで達しているので、サンプリング期間では、プリチャージ電位からデータ電位になるまでデータ信号線を充放電すればよい。特に、上述した通り本発明では相展開信号の電位をサンプリングするためのサンプリング期間を従来技術よりも短くしているが、プリチャージを実施することで、この短いサンプリング期間でも上述の充放電を達成できる。従って、サンプリング期間にて、画像データを正確にサンプリングできると共に、そのサンプリングされたデータ電位にて、データ信号線に確実に充放電させることができ、画質が向上する。

【0027】本発明では、複数のサンプリング用スイッ

チング手段及び複数のプリチャージ用スイッチング手段とを、各々の前記データ信号線の一端に並列接続することが好ましい。

【0028】データ信号線の両端にそれぞれ各スイッチング手段を接続する場合に比べて、回路レイアウトが容易となる。

【0029】この場合、データ信号線駆動手段は、サンプリング期間信号に基づいて、複数のプリチャージ用スイッチング手段をプリチャージ期間に亘ってオンさせるプリチャージ期間信号を生成し、複数のプリチャージ用スイッチング手段に供給することが好ましい。

【0030】こうすると、サンプリング期間及びプリチャージ期間を設定する回路が共用化され、その期間信号のためのラインの引き回し長さも短くでき、ラインが有する寄生容量に起因した期間信号の遅延を短縮できる。これにより、サンプリング期間とプリチャージ期間とをほぼ設計通りに設定でき、両期間が信号の遅延に起因してオーバーラップすることを防止できる。

【0031】本発明の相展開手段は、N個の相展開信号の画素データの先頭位置を、基準クロックに基づき順次ずらして、N個の相展開信号をN本の相展開信号線に並列に出力することができる。この場合、データ信号線駆動手段は、サンプリング期間の開始時期を順次ずらして設定するサンプリング期間信号を生成する。これにより、一本の前記走査信号に接続された前記画素を点順次で駆動することができる。さらにデータ信号駆動手段は、一のデータ信号線についてサンプリング期間を設定するためのサンプリング期間信号を、他のデータ信号線についてプリチャージ期間を設定するためのサンプリング期間信号として兼用する。こうすると、データ信号線駆動回路の回路規模が縮小し、回路レイアウトが容易となる。

【0032】本発明では、データ信号線駆動手段が、入力信号を順次シフトする複数段構成を有し、各段の出力信号が、次段の出力信号と一部位相が重なるタイミングで出力されるシフトレジスタと、各々のサンプリング用スイッチング手段に接続され、前記シフトレジスタからの互いに信号位相が重なる2つの前記出力信号が入力され、その論理積をサンプリング期間信号としてサンプリング用スイッチング手段に出力する複数の論理積回路と、を有することができる。

【0033】より具体的には、シフトレジスタは、基準クロックの一周期の $2K$ (K は自然数)倍のパルス幅を持つ入力信号を基準クロックの一周期ずつ順次シフトして送出する。図8(A)の例では、 $K=4$ で、入力信号DXのパルス幅はドットクロックDCの一周期の8倍である。図13の例では、 $K=3$ で、入力信号DXのパルス幅はドットクロックDCの一周期の6倍である。図17の例では、 $K=2$ で、入力信号DXのパルス幅はドットクロックDCの一周期の4倍である。

【0034】さらに、各々のサンプリング用スイッチング手段に接続された論理積回路は、シフトレジスタからのシフト量の異なる2つの出力が入力され、その論理積をサンプリング期間信号としてサンプリング用スイッチング手段に出力している。

【0035】これにより、 k ($1 \leq k \leq$ 一本の走査信号線上の総画素数) 番目のサンプリング用スイッチング手段に接続された論理積回路には、1水平走査期間内の k 番目と $(k+K)$ 番目のシフトレジスタ出力が入力され、それらの論理積となるサンプリング期間信号に基づくサンプリング期間は、基準クロックの一周期の K 倍となる。

【0036】 $K=4$ の実施例を示す図7では、例えば $k=1$ とすると、1番目と5番目のシフトレジスタ出力が論理積回路160aに入力され、図8の通りサンプリング期間は、ドットクロックDCの一周期の4 ($=K$) 倍である。

【0037】 $K=3$ の実施例である図12では、例えば $k=1$ とすると、1番目と4番目のシフトレジスタ出力が論理積回路160aに入力され、図13の通りサンプリング期間は、ドットクロックDCの一周期の3 ($=K$) 倍である。

【0038】 $K=2$ の実施例である図16では、例えば $k=1$ とすると、1番目と3番目のシフトレジスタ出力が論理積回路160aに入力され、図17の通りサンプリング期間は、ドットクロックDCの一周期の2 ($=K$) 倍である。

【0039】この場合、データ信号線駆動手段は、複数の論理積回路の出力に基づいて生成されたサンプリング期間信号を前記のサンプリング用スイッチング手段に供給し、そのサンプリング期間信号を、該信号が供給されるサンプリング用スイッチとは並列接続されないプリチャージ用スイッチに供給する。これにより、サンプリング期間信号をプリチャージ期間信号として兼用することができる。

【0040】本発明では、相展開手段は、N個の相展開信号の各々の画素データの先頭を一致させて、N本の相展開信号線にN個の相展開信号を並列に出力することができる。これにより、図22に象徴的に示すように、一本の走査信号線に接続された複数の画素を、相展開信号線の総数 N ずつに同時駆動することができる。この場合、データ信号線駆動手段は、N個のサンプリング用スイッチング手段に対して、サンプリング期間の開始時期を一致させた共通のサンプリング期間信号を供給する。さらにデータ信号線駆動手段は、その共通のサンプリング期間信号を、N個のサンプリング用スイッチング手段とそれぞれ並列関係に無い他のN個のプリチャージ用スイッチング手段に、共通のプリチャージ期間信号として供給する。これにより、サンプリング期間信号をプリチャージ期間信号として兼用できる。

【0041】さらに、データ信号線駆動手段は、入力信号を基準クロックの一周期ずつ順次シフトして送出するシフトレジスタを有し、 m ($1 \leq m \leq$ 一本の走査信号線上の総画素数/前記相展開信号線の総数) 番目に同時駆動されるデータ信号線に接続された N 個のサンプリング用スイッチング手段に、一水平走査期間内の $(3m-2)$ 番目のシフトレジスタ出力をサンプリング期間信号として供給することができる。より具体的には、このシフトレジスタは、基準クロックの一周期の $2K$ (K は自然数) 倍のパルス幅を持つ入力信号を、基準クロックの一周期ずつ順次シフトして送出する。

【0042】図21の例では、 $K=4$ で、入力信号 DX のパルス幅はドットクロック DC の一周期の8倍である。

【0043】こうすると、 m ($1 \leq m \leq$ 一本の走査信号線上の総画素数/相展開信号線の総数) 番目の同時駆動時には、1水平走査期間内の $(3m-2)$ 番目のシフトレジスタ出力が複数のサンプリング用スイッチング手段に入力され、サンプリング用スイッチング手段に設定されるサンプリング期間は、基準クロックの一周期の K 倍となる。

【0044】図20の例では、例えば $m=1$ 番目の同時駆動では、 $3m-2=1$ 番目のシフトレジスタ出力が、 $N=6$ 個のサンプリング用スイッチング手段106に入力されている。同様に、 $m=2$ 番目の同時駆動では、 $3m-2=4$ 番目のシフトレジスタ出力が、次の6個のサンプリング手段106に入力され、 $m=3$ 番目の同時駆動では、 $3m-2=7$ 番目のシフトレジスタ出力が、次の6個のサンプリング用スイッチング手段106に入力されている。さらに、その $(3m-2)$ 番目のシフトレジスタ出力を、 $(m+1)$ 番目に同時駆動されるデータ信号線に接続された他の N 個のプリチャージ用スイッチング手段に供給することができる。これにより、サンプリング期間信号をプリチャージ期間信号として兼用できる。

【0045】本発明では、全てのデータ信号線についてのプリチャージ期間を、水平帰線期間内に設定してもよい。こうすると、プリチャージ期間を設定するためのタイミング信号の生成は、水平同期信号に基づいて容易に生成できる。

【0046】本発明の画像表示部は、一対の基板間に液晶を介在させた液晶パネルで構成できる。この場合、複数のサンプリング用スイッチング手段は、一方の基板上に形成された複数の薄膜トランジスタで構成することができる。そして、データ信号線駆動手段からのサンプリング期間信号は、各々の前記薄膜トランジスタのゲートに供給される。

【0047】TFTは書き込み能力に限界があるが、データ長の長い画素データを持つ相展開信号が入力されることで十分なサンプリング期間を確保でき、しかもサン

プリング期間中に前回の画素データが書き込まれることがないので、波形中に不要な成分が混入することが低減し、ゴーストの発生を有効に防止できる。

【0048】本発明では、相展開手段の前段に、入力される画像信号から、極性反転基準電位に対して第1の極性で画素を駆動する第1極性画像信号と、この第1の極性とは逆極性の第2の極性で画素を駆動する第2極性画像信号とを生成して、第1、第2極性信号のいずれか一方を相展開手段に出力する極性反転手段をさらに設けることができる。このとき、相展開手段は、前記第1、第2極性画像信号に基づいて、第1、第2極性相展開信号を出力する。

【0049】さらに、極性反転手段は、第1、第2極性画像信号の一方を出力する第1の極性反転手段と、第1、第2極性画像信号の他方を出力する第2の極性反転手段と、を有することができる。

【0050】本発明では、複数の極性反転手段を相展開手段の後段に設けることもできる。この場合、複数の極性反転手段は、複数の相展開信号の一つから、極性反転基準電位に対して第1の極性で画素を駆動する第1極性相展開信号と、第1の極性とは逆極性の第2の極性で画素を駆動する第2極性相展開信号とを生成して、第1、第2極性相展開信号のいずれか一方をそれぞれ前記複数のサンプリング手段に出力する。

【0051】これら各々の極性反転手段は、第1、第2極性相展開信号の一方を出力する第1の極性反転手段と、第1、第2極性相展開信号の他方を出力する第2の極性反転手段と、を有することができる。

【0052】本発明では、複数の相展開信号(又は第1、第2極性相展開信号)を切り換えて複数のサンプリング手段に供給する切換手段と、相展開手段での展開順序を変更制御し、かつ展開順序に対応させて切換手段にて複数の相展開信号(又は第1、第2極性相展開信号)の供給先を変更制御する変更制御手段と、をさらに有することができる。こうすると、相展開信号毎に生ずる例えば DC オフセット成分のばらつきが、画面の縦ラインにて強調されることを防止できる。

【0053】本発明では、データ信号線を第1の極性でプリチャージする第1のプリチャージ電位と、データ信号線を第2の極性でプリチャージする第2のプリチャージ電位とを、走査信号線を選択する毎に切り換えて複数のプリチャージ用スイッチング手段に供給するプリチャージ電位供給手段をさらに設けることができる。

【0054】これにより、走査信号線を選択する毎に第1、第2の極性間でプリチャージ電位を切り換えられる。

【0055】本発明ではさらに、複数のプリチャージ用スイッチング手段の奇数番目に接続された第1のプリチャージラインと、複数のプリチャージ用スイッチング手段の偶数番目に接続された第2のプリチャージライン

と、第1のプリチャージ電位と第2のプリチャージ電位との間で走査信号線を選択する毎に切り換えて第1、第2のプリチャージラインに供給するプリチャージ電位供給手段と、をさらに設けることができる。こうすると、いわゆるドット毎の極性反転駆動が可能となる。

【0056】また、本発明は、画像表示部を駆動する表示駆動装置を、画像表示部に対して外付け回路とすることもできる。

【0057】

【発明の実施の形態】以下、本発明をアクティブマトリクス型液晶表示装置に適用した実施例を、図面を用いて具体的に説明する。

【0058】(1) 第1実施例

(装置の概略構成) 図1に、第1実施例に係る液晶表示装置の全体概要が示されている。同図に示すように、この液晶表示装置は、電子機器例えば液晶プロジェクタのライトバルブとして用いる小型液晶表示装置であり、液晶パネルブロック10と、タイミング回路ブロック20と、データ処理ブロック30とに大別される。

【0059】タイミング回路ブロック20は、クロック信号CLKと同期信号SYNCとが入力され、所定のタイミング信号を出力するものである。

【0060】データ処理回路ブロック30は、相展開回路32と、増幅・反転回路34を有する。相展開回路32は、一本の画像信号(本実施例では白黒の濃淡表示であり、画像信号は一本である)Dataが入力され、画素情報をN相展開(図1ではN=6相としてある)したN相の相展開信号を並列に出力するものである。なお、液晶パネルブロック10中の液晶パネル100が3原色のカラーフィルタを有するカラー液晶パネルの場合には、前記相展開回路32には、R、G、Bの3本の画像信号が入力され、この3本の画像信号から例えば6本の相展開信号を生成することができる。このN相展開については後述する。

【0061】増幅・反転回路34は、N本の相展開信号を、液晶パネルの駆動に必要な電圧に増幅し、必要に応じて、極性反転基準電位を基準として極性反転するものである。なお、図1に示す増幅・反転回路34と相展開回路32との位置を逆転させても良い。すなわち、画像信号を増幅・反転回路34にて増幅・極性反転させた後に、相展開回路32にて相展開しても良い。

【0062】本実施例のデータ処理回路ブロック30の出力ラインは、6相展開を実施していることから、図1に示すとおり、Data1~Data6の6本に分岐されている。

【0063】液晶パネルブロック10は、液晶パネル100と、走査側駆動回路102と、データ側駆動回路104と、プリチャージ駆動回路170とを、同一回路基板上に備えている。なお、これら駆動回路は、液晶パネル基板とは分離して、外付けICとして構成しても良

い。

【0064】液晶パネル100上には、例えば図1の行方向に沿って伸びる複数の走査信号ライン110と、例えば列方向に沿って伸びる複数のデータ信号ライン112とが形成されている。なお、本実施例では、走査信号ライン110の総数を492本とし、データ信号ライン112の総数を652本としている。この各ライン110、112の交差によって形成される画素位置には、スイッチング素子114と液晶層116とが直列に接続されて表示要素が構成され、これが画素を形成している。このスイッチング素子114がオンする期間を選択期間と称し、オフする期間を非選択期間と称する。選択期間にスイッチング素子114を介して液晶層116に供給された電圧を、非選択期間にて保持する保持容量(図示せず)が液晶層116に接続されている。本実施例では、スイッチング素子114を、例えば3端子型スイッチング素子としており、例えばTFTにて構成している。これに限らず、2端子型スイッチング素子例えばMIM(金属-絶縁層-金属)素子、MIS(金属-絶縁層-半導体層)素子などを用いることができる。なお、本実施例の液晶パネル100は、2端子型または3端子型のスイッチングを用いたアクティブマトリクス型の液晶表示パネルに限らず、単純マトリクス型の液晶表示パネルなど、他の種々の液晶パネルであってもよい。本実施例の液晶パネル100は、走査信号ライン110、データ信号ライン112及びそれに接続されるTFTが形成された第1の基板を有する。この第1の基板にはさらに、TFTに接続された画素電極と、この画素電極を片側電極とする保持容量とが形成されている。液晶パネル100はさらに、第1の基板と対向して配置され、共通電極が形成された第2の基板を有する。そして、第1、第2の基板間に液晶が封入されて、液晶パネル100が構成される。各画素位置の液晶層は、一端を画素電極、他端を共通電極として、両極の電極により電界が印加される。

【0065】走査側駆動回路102は、複数の走査信号ライン110a、110b...の中から、走査信号ライン110を順次選択するための選択期間が設定された走査信号を出力するものである。

【0066】データ側駆動回路104は、データ処理回路ブロック30の出力線である6本の相展開信号ラインData1~Data6と、液晶パネル100のデータ信号ライン112a、112b...との間に配置されたサンプルホールドスイッチ106に対して、液晶パネル100を点順次時駆動するためのサンプリング期間信号を出力するものである。

【0067】なお、第1の相展開信号ラインData1は、サンプルホールドスイッチ106aを介して、第1のデータ信号ライン112aと接続されている。同様にして第2~第6の相展開信号ラインData2~Data

a 6は、各々のサンプルホールドスイッチ106b～106fを介して、第2～第6のデータ信号ライン112b～112fにそれぞれ接続されている。また、第1の相展開信号ラインData 1は、サンプルホールドスイッチ106gを介して、第7のデータ信号ライン112gにも接続されている。以下同様にして、第1の相展開信号ラインData 1は、6本先のデータ信号ライン112に接続されている。第2～第6の相展開信号ラインData 2～Data 6も同様に、第2～第6のデータ信号ライン112b～112fよりも6の整数倍目となる各々のデータ信号ラインに順次接続されている。

【0068】プリチャージ駆動回路170は、プリチャージ用スイッチ172a、172b…を所定のタイミングにてオンさせて、第1のプリチャージライン174a又第2のプリチャージライン174bを、各データ信号ライン112a、112b…に接続して、データ信号ライン112をプリチャージするためのものである。この第1、第2のプリチャージライン174a、174bには、スイッチ190を介して、第1のプリチャージ電位PV1、第2のプリチャージ電位PV2が、走査信号ラインを選択する毎に切り換えられて供給される。本実施例ではドット反転駆動を実施することから、奇数番目のデータ信号ライン172a、172c…は第1のプリチャージライン174aに接続され、偶数番目のデータ信号ライン172b、172d…は第2のプリチャージライン174bに接続されている。なお、このプリチャージ動作の詳細については後述する。

【0069】(N相展開の動作について)次に、図2を参照して、データ処理回路ブロック30における相展開回路32での、N相展開例えば6相展開の動作について説明する。

【0070】図2に示すとおり、データ処理回路ブロック30に入力される画像信号は、液晶パネル100の各画素に対応するデータを時系列的に有するアナログ信号となっている。6相展開を実施する相展開回路32は、この画像信号を基準クロック例えばドットクロックDCにてサンプリングしている。そして、この画像信号をサンプリングして、そのサンプリング周期よりも長いデータ長に変換された6つの相展開信号を生成している。本実施例では、ドットクロックDCの一周期の整数倍のデータ長に伸張して、6本の並列な相展開信号に展開している。この意味で、この相展開回路32は、データ長を伸張する機能と、シリアルな画像信号をパラレルな画像信号にシリアル→パラレル変換する機能とを有する。例えば、第1の相展開信号ラインData 1に出力される第1の相展開信号は、画像信号の例えば第1、第7、第13画素目のデータが、それぞれドットクロックDCの一周期の6倍のデータ長に伸張される。同様にして、6画素先のデータが前記データ長に順次伸張される。

【0071】第2の相展開信号ラインData 2に出力

される第2の相展開信号も同様に、第2、第8、第14画素目などのデータが、前記データ長に伸張されて出力されている。

【0072】本実施例では、この伸張及び展開動作を、アナログインターフェースICを用いて行っており、アナログの画像信号を6相展開している。

【0073】なお、第1実施例においては、第1～第6の相展開信号ラインData 1～Data 6に出力される第1～第6の相展開信号は、各々の画素データの先頭位置がドットクロックDCの一周期だけ順次ずれた状態で出力される。

【0074】(6相展開回路及び極性反転回路の具体例の説明)図3、図4及び図5に、6相展開回路及び極性反転回路の具体例が示されている。図3において、相展開回路32は、スイッチ500a～500fと、コンデンサ502a～502fと、バッファ504a～504fとで構成される。そして、スイッチ500a～500fには、例えば図6に示すように位相がずれたサンプリングクロックCLK1～CLK6が、それぞれ一対一に対応して入力される。各スイッチ500a～500fは、そのクロックによりオンされた時に、データをサンプリングして、その後段のコンデンサ502a～502fにデータの電荷をチャージさせる。各スイッチ500a～500fは、そのクロックによりオフされている間に、データ電位を保持する。これにより、図6に示すように、バッファ504a～504fを介して6相展開信号が得られる。

【0075】各バッファ504a～504fの後段には、増幅回路506a～506fと、極性反転回路508a～508fとが設けられている。この増幅回路と極性反転回路の一例が図4、図5に示されている。

【0076】図4に示すとおり、増幅回路は例えばビデオアンプ(オペアンプでもよい)510にて構成されている。極性反転回路は、抵抗R1、R2及び第1トランジスタTR1で構成された極性反転部520と、抵抗R3と第2トランジスタTR2とで構成されたバッファ530と、抵抗R4と第3トランジスタTR3とで構成されたバッファ540と、バッファ530、540の出力を択一的に選択するスイッチSW1とを有する。

【0077】説明の便宜上、ビデオアンプ510の出力が図4の通りの矩形波である場合について説明する。ここで、図4の抵抗R1とR2との抵抗値がほぼ等しく、Vddを12Vとする。この場合、図4の点Aと点Bの各電位は、例えば図4に示す通り、中間の電位例えば6Vを境にほぼ線対称の電位となる。点Aの電位は、例えば黒レベルが11V、白レベルが7Vであり、点Bの電位は、例えば黒レベルが1V、白レベルが5Vである。このように、点A及び点Bに現れる2つの画像信号は、両信号の黒レベルの間の極性反転基準電位を基準として極性が反転している。本実施例では、点Bに現れる信号

を負極性の画像信号とし、点Aに現れる信号を正極性の画像信号とする。なお、極性反転の基準となる電位は、電源電位 V_{dd} とグランド電位 GND の中心電位、つまりアナログ画像信号の振幅中心電位 V_{ref} となる。

【0078】点Bに現れる負極性の信号は、バッファ540を介して端子Cに出力され、点Aに現れる正極性の信号は、バッファ530を介して端子Dに現れる。そして、これら正極性、負極性の相展開信号の一方が、極性反転タイミング信号に基づいて切り換えられるスイッチ $SW1$ により選択されて出力される。

【0079】本実施例では、図32に示すように、走査信号線の延びる方向での1ドット毎に極性反転駆動し、かつ、データ線信号線の伸びる方向で1ライン毎に極性反転駆動しており、これに合うように極性反転タイミングが定められている。なお、プリチャージが必要な場合とは、少なくとも1ライン毎に極性反転駆動しているものであり、ドット反転は不可欠ではない。

【0080】図5は、図3に示す増幅回路506a～506fと、極性反転回路508a～508fの他の例を示している。図5では、増幅回路510、差動増幅回路550、560を設けている。増幅回路510を介して差動増幅回路550に入力される画像信号のレベルは、前述の振幅中心電位 V_{ref} に対して正極性の電位とされて、差動増幅回路550より端子Cに出力される。同様に、増幅回路510を介して差動増幅回路560に入力される画像信号のレベルは、前述の振幅中心電位 V_{ref} に対して負極性の電位とされて、差動増幅回路560より端子Dに出力される。各端子C、Dの電位は、極性反転タイミング信号に基づいてスイッチ $SW1$ を切り換えることで、選択して出力される。

【0081】なお、図3の例では、相展開後に増幅及び極性反転を実施しているため、6系統の増幅回路506a～506fと、6系統の極性反転回路508a～508fが必要となる。ただし、信号増幅前の信号振幅が小さい段階で、コンデンサ502a～502fにその信号の電荷をチャージできるため、チャージ時間が速く、高速化に対応できる利点がある。

【0082】（データサンプリングの構成について）次に、本実施例の特徴的構成であるデータ側駆動回路104の詳細について、図7の回路図及び図8のタイミングチャートを用いて説明する。

【0083】このデータ側駆動回路104は、図7に示すとおり、第1～第4列のシフトレジスタ120～150を有している。これら各シフトレジスタ120～150は、図8（A）に示す共通のシフトデータとなる入力信号 DX を入力する。この入力信号 DX は、図8（A）に示すとおり、ドットクロック信号 DC の8周期に亘って $HIGH$ となる信号とされている。また、第1列のシフトレジスタ120には、図7に示す第1クロック信号 $CLX1$ とその第1反転クロック信号とが入力される。

第1クロック信号 $CLX1$ は、図8（A）に示すとおり、入力信号 DX の半パルス幅のパルスが、入力信号 DX のパルス幅の周期で繰り返し出力される。同様に、第2列から第4列のシフトレジスタ130～150には、第2～第4クロック信号 $CLX2$ ～ $CLX4$ 及びその反転クロック信号がそれぞれ入力される。第2～第4のクロック信号 $CLX2$ ～ $CLX4$ は、その立ち上がり時期が、第1のクロック信号 $CLX1$ の立ち上がり時期よりも、ドットクロック DC の1周期毎に順次ずれたものである。

【0084】各列のシフトレジスタ120～150は、それぞれ多段のマスタースレイブ型クロックドインバータを含んで構成されている。第1のシフトレジスタ120の第1段について説明すれば、マスターとなる第1のクロックドインバータ121aと、インバータ121bとが直接に接続され、このインバータ121bの入出力線を結ぶ帰還線に、スレイブとなる第2のクロックドインバータ121cが接続されている。マスターとなるクロックドインバータ121aは、第1クロック信号 $CLX1$ が $HIGH$ である時に、入力クロック信号 DX を反転して出力する。スレイブとなる第2のクロックドインバータ121cも同様に、第1反転クロック信号 $/CLX1$ が $HIGH$ であるときに、インバータ121bの出力信号を反転して出力する。

【0085】この第1列のシフトレジスタ120における第1段目の動作を、図8（A）のタイミングチャートを参照して説明する。なお、参考までに、走査側駆動回路102により出力される各種信号波形を、図8（B）に示した。

【0086】入力クロック信号 DX が $HIGH$ となる前半部分（ドットクロック DC の4周期分）においては、第1クロック信号 $CLX1$ が $HIGH$ となり、第1のクロックドインバータ121aの出力として、入力信号 DX を反転した LOW が出力される。この LOW 信号は、インバータ121bにて反転され、第1列シフトレジスタ120の第1段目の出力としてまず、図8（A）の $SR1-OUT1$ に示すとおり、入力クロック信号 DX の前半部分だけ $HIGH$ が出力される。

【0087】入力クロック信号 DX の後半部分については、クロック信号 $CLX1$ が LOW になるのに対して、スレイブの第2のクロックドインバータ121cに入力される第1反転クロック信号 $/CLX1$ が $HIGH$ となる。この第2クロックドインバータ121cに入力される信号は、インバータ121bからの $HIGH$ 信号であり、結果として、第2のクロックドインバータ121cからの出力は、この入力 $HIGH$ 信号を反転した LOW 信号となる。この LOW 信号は、インバータ121bにて反転される。したがって、第1列のシフトレジスタ120における第1段目の出力である第1の出力信号 $SR1-OUT1$ の後半部分も $HIGH$ 信号が出力される。

【0088】なお、図8(A)のSR1-OUT1、…SR4-OUT1、…SR3-OUT2は、第1～第4列のシフトレジスタ120～150の出力を示す。符号のSR1～SR4はシフトレジスタの第1列～第4列を示し、符号のOUT1、OUT2…は、各シフトレジスタの第1段番目、第2段目…の出力を示す。

【0089】第2～第3の出力信号SR2-OUT1～SR4-OUT1は、第2列から第4列のシフトレジスタ130～150の第1段目の動作により、図8(A)に示すとおり、第1の出力信号SR1-OUT1の立ち上がりから、ドットクロックDCの1周期分だけ順次ずれた状態で出力される。

【0090】第5番目の出力信号SR1-OUT2は、第1列のシフトレジスタ120の第2段目のマスターズレイブ型クロックドインバータを用いて生成される。

【0091】この第1列～第4列のシフトレジスタ120～150の出力信号を、そのままサンプルホールドスイッチ106a、106b…に出力すると、図38～図40にて説明した従来のゴースト現象が生じてしまう。

【0092】そこで、この第1実施例においては、第1列～第4列のシフトレジスタ120～150と、サンプルホールドスイッチ106a、106b…との間に、ナンド回路160a、160b…と、インバータ162a、162b…とを設けている。

【0093】このナンド回路とインバータとは、シフトレジスタから出力された2つのタイミング信号の論理積をとる回路として機能する。

【0094】第1のデータ信号ライン112aに接続されたサンプルホールドスイッチ106aの前段に設けられるナンド回路160aには、第1列のシフトレジスタ120の第1段目からの第1の出力信号SR1-OUT1と、第2段目からの第5の出力信号SR1-OUT2とが入力される。従って、このナンド回路160a及びその後段のインバータ162aを経由して得られるサンプリング期間信号SL1-Data1は、第1の出力信号SR1-OUT1と、第5の出力信号SR1-OUT2との論理積となり、図8(A)に示すとおり、ドットクロックDCの4周期の期間がサンプリング期間として設定されることになる。

【0095】図8(A)のSL1-Data1、…SL4-Data4、…は、サンプルホールドスイッチ106a、…106d、…のTFTのゲートに印加され、HighレベルのときにそのTFTをオンさせる。その信号をSL(n)-Data(m)で表わしたとき、符号Data(m)のm(m=1～6)は、その信号によりサンプリングされる相展開信号ラインData1～6の番号を示す。符号SL(n)のnは、サンプリング期間信号の順番を示す。

【0096】第2のデータ信号ライン112bに接続されたサンプルホールドスイッチ106bの前段では、ナ

ンド回路160bに対して、第2列のシフトレジスタ130の第1段目からの信号SR2-OUT1と、第2段目からの信号SR2-OUT2とが入力される。従って、このナンド回路160b及びその後段のインバータ162bを経由して得られる第2番目のサンプリング期間信号SL2-Data2は、第1番目のサンプリング期間信号SL1-Data1よりも、ドットクロックDCの1周期だけ立ち上がりが遅れるが、サンプリング期間は同様にドットクロックDCの4周期の期間となる。なお、第3のデータ信号ライン以降のデータ信号ラインの場合も同様である。

【0097】(データサンプリング動作について)図9は、各々のサンプルホールドスイッチ106に入力される相展開信号Data1～Data6と、サンプリング期間信号SL(n)-Data(m)との関係を示している。図9では、相展開信号Data1をサンプリングするサンプリング期間信号SL1-Data1、SL7-Data1及びSL13-Data1を示している。第1のサンプルホールドスイッチ106aには、図9に示すとおり、ドットクロックDCの6周期分のデータ長を有する情報が、このサンプルホールドスイッチ106aを構成するTFTのソースラインに入力される。一方、サンプルホールドスイッチ106aを構成するTFTのゲートには、ナンド回路160a、インバータ162aを経由したサンプリング期間信号SL1-Data1が入力されている。このサンプリング期間信号SL1-Data1は、相展開信号のデータ長がドットクロック信号の6周期分であるのに対して、その前後で1周期分が除去された4周期分のサンプリング期間(Highの期間)に設定されている。

【0098】このようなサンプリング期間を設定することで、たとえサンプルホールドスイッチ106をTFTにて構成し、このTFTの書き込み能力に限界があったとしても、液晶表示上、前回のデータに影響されない、換言すればゴーストのない液晶表示を行うことができる。

【0099】この理由は、サンプルホールドスイッチ106を構成するTFTのゲートは、相展開信号線上の画像データが安定した後に、サンプリング期間信号のHighレベルにより開かれることになるからである。しかも、この相展開信号線上のデータが変化しないうちに、TFTのゲートが閉じられるからである。さらに、同じ相展開信号線Data1に接続されるサンプルホールドスイッチ106a、106g、106n…は、SL1-Data1、SL7-Data1、SL13-Data1のHighレベルの期間のずれから明らかなように、ゲートの開閉タイミングをずらして駆動され、複数のゲートが同時に開となることはない。このように、相展開信号のデータ長の中の安定したデータ領域についてのみサンプリング期間を設定することで、前回のデータに影

響を受けない安定したデータのみを、データ信号ライン 112 に送出することができる。このデータは、走査側駆動回路 102 からの走査信号により ON するスイッチング素子 114 を介して、液晶層 116 及び保持容量に書き込まれることになる。

【0100】以下、同様にして、サンプリングスイッチ 106b, 106c…を介して、安定したデータが、順次対応するデータ信号ライン 112b, 112c…に送出され、第 1 番目の走査信号ライン 110a にスイッチング素子 114 を介して接続された液晶層 116 への書き込みが点順次駆動により実施される。その後は、走査側駆動回路 102 からの走査信号により、第 2 番目以降の走査信号ライン 110 に接続されたスイッチング素子 114 を順次 ON させながら、上述のデータの書き込みを繰り返し実施することになる。

【0101】（プリチャージ動作について）本実施例装置では、各データ信号ラインについての上述したサンプリング期間の前に、そのサンプリング期間にてサンプリングされる画素データに基づき画素に印加される電圧の極性と同一極性で、各々のデータ信号線をプリチャージしている。

【0102】このプリチャージの必要性について、図 10 (A) (B) を用いて簡単に説明する。まず、最初の選択期間にて走査信号線 110a を選択し (TFT114a がオン)、データ信号線 112a を介して、液晶セル 116a に、図 10 (A) に示す対向基板電極 (共通電極) を基準として負の黒レベル電位 B1 を書き込んで黒表示を行った場合を考える。一水平走査後の次の選択期間にて、走査信号線 110b を選択し (TFT114b がオン)、前回と同じデータ信号線 112a を介して、液晶セル 116b に、正の黒レベル電位 B2 を書き込んで黒表示を行う。この場合、同じ黒表示であっても極性が反転されているため、図 10 (A) に示すように、黒レベル電位 B1 と B2 とは最も電位差が大きい。

【0103】このため、画像信号自体によってデータ信号線の寄生容量 C を充電するには、図 10 (A) の「R1」に示すように、サンプリング期間 T_{SAM} 内にデータ信号線の電位を黒レベル電位 B1 より B2 へと変化させなければならない。

【0104】ところが、本実施例では、上述した通り従来の図 38 のサンプリング期間よりもさらに短くしているため、このサンプリング期間 T_{SAM} 内にデータ信号線を黒レベル電位 B1 より B2 へ、あるいはその逆で黒レベル電位 B2 より B1 へと変化させることが困難となる。

【0105】そこで、図 10 (A) に示すサンプリング期間 T_{SAM} に先立つプリチャージ期間 T_{PRE} にて、画像信号により画素に印加される電圧の極性と同一極性である第 2 のプリチャージ電位 PV2 にて、データ信号線 112a をプリチャージしている。こうすると、プリチャージ

期間 T_{PRE} に黒レベル電位 B1 より第 2 のプリチャージ電位 PV2 と比較的短時間にてプリチャージすることができる。その後のサンプリング期間 T_{SAM} では、第 2 のプリチャージ電位 PV2 から黒レベル電位 B2 へと変化させるだけでよい。このプリチャージ期間 T_{PRE} 及びサンプリング期間 T_{SAM} でのデータ信号線の寄生容量 C の充電 (放電) 量が少ないため、短時間で充放電ができる。

【0106】本実施例において、プリチャージ駆動回路 170 にて設定されるプリチャージ期間について、図 11 を参照して説明する。

【0107】図 11 は、一水平走査期間 H_n と次の水平走査期間 H_{n+1} とに亘る期間における各々のデータ信号線のサンプリング期間 T_{SAM} を示している。プリチャージ期間 T_{PRE} は、水平走査期間の開始からサンプリング期間 T_{SAM} の開始までのいずれかの時期に設定される。

【0108】各データ信号線について共通のプリチャージ期間を設定するには、水平帰線期間 B_n , B_{n+1} …に設定すればよい。この水平帰線期間 B_n , B_{n+1} …では、いずれのデータ信号線についてもサンプリング期間が設定されないからである。

【0109】図 11 から明らかなように、あるデータ信号線について設定されるサンプリング期間の前に設定すべきプリチャージ期間として、他のデータ信号線についてサンプリング期間をそのまま利用することができる。例えば、データ信号線 112a のサンプリング期間 $T_{SAMa}(n)$ を、図 11 の破線で示すように、例えばデータ信号線 112e 又は 112f などのサンプリング期間 $T_{SAME}(n)$, $T_{SAMf}(n)$ の前に設定すべきプリチャージ期間 $T_{PREe}(n)$, $T_{PREf}(n)$ として兼用できる。データ信号線 112a のサンプリング期間 $T_{SAMa}(n)$ は、データ信号線 112e, 112d…のサンプリング期間 $T_{SAME}(n)$, $T_{SAMf}(n)$ …とオーバーラップしないからである。こうすると、図 1 に示すデータ側駆動回路 104 とは別個にプリチャージ回路 170 を設ける必要がない。なお、データ側駆動回路 104 及びプリチャージ駆動回路 170 として機能する一つのデータ線駆動回路を用いた実施例については、図 15～図 19 に示す第 3 実施例にて詳細を後述する。

【0110】(2) 第 2 実施例

この第 2 実施例は、ドットクロックの 6 周期分のデータ長を持つ相展開信号と、ドットクロックの 3 周期分のサンプリング期間を持つサンプリング期間信号とを用いて、液晶表示駆動を実施するものである。

【0111】図 12 に示す通り、データ側駆動回路 104 は、第 1～第 3 列のシフトレジスタ 200～220 を有している。これら各シフトレジスタ 200～220 は、図 13 に示す通り共通のシフトデータとなる入力信号 DX を入力する。この入力信号 DX は、図 13 に示すとおり、ドットクロック信号 DC の 6 周期に亘って HI

GHとなる信号とされている。また、第1列のシフトレジスタ200には、図13に示す第1クロック信号CLK1とその第1反転クロック信号／CLK1とが入力される。第1クロック信号CLK1は、図13に示すとおり、入力信号DXの半パルス幅のパルスが、入力信号DXのパルス幅の周期で繰り返し出力される。同様に、第2列、第3列のシフトレジスタ210、220には、第2、第3クロック信号CLK2、CLK3及びその反転クロック信号／CLK2、／CLK3がそれぞれ入力される。第2、第3のクロック信号CLK2、CLK3は、その立ち上がり時期が、第1のクロック信号CLK1の立ち上がり時期よりも、ドットクロックDCの1周期毎に順次ずれたものである。

【0112】各列のシフトレジスタ200～220は、それぞれ多段のマスタースレイブ型クロックドインバータを含んで構成されている。

【0113】この第1列～第3列のシフトレジスタ200～220の出力信号SR1-OUT1、…SR3-OUT2は、図13に示す通りとなる。

【0114】第1のデータ信号ライン112aに接続されたサンプルホールドスイッチ106aの前段に設けられるナンド回路160aには、第1列のシフトレジスタ200の第1段目からの第1の出力信号SR1-OUT1と、第2段目からの第4の出力信号SR1-OUT2とが入力される。従って、このナンド回路160a及びその後段のインバータ162aを経由して得られるサンプリング期間信号SL1-Dat1は、第1の出力信号SR1-OUT1と、第4の出力信号SR4-OUT2との論理積となり、図13に示すとおり、ドットクロックDCの3周期のHigh期間がサンプリング期間として設定されることになる。

【0115】同様に、第2のデータ信号ライン112bに接続されたサンプルホールドスイッチ106bの前段では、ナンド回路160bに対して、第2列のシフトレジスタ210の第1段目からの信号SR2-OUT1と、第2段目からの信号SR2-OUT2とが入力される。従って、このナンド回路160b及びその後段のインバータ162bを経由して得られる第2番目のサンプリング期間信号SL2-Dat2は、第1番目のサンプリング期間信号SL1-Dat1よりも、ドットクロックDCの1周期だけ立ち上がりが遅れるが、サンプリング期間は同様にドットクロックDCの3周期のHigh期間となる。なお、第3のデータ信号ライン以降のデータ信号ラインの場合も同様である。

【0116】なお、図13の7番目のサンプリング期間信号SL7-Dat1は、第1番目のサンプリング期間信号SL1-Dat1と同一の相展開信号ラインDat1をサンプリングする信号である。図13から明らかなように、両者のサンプリング期間はずらして設定される。

【0117】（データサンプリング動作について）図14は、各々のサンプリングスイッチ102に入力される相展開信号Dat1～Dat6と、サンプリング期間信号SL(n)-Dat(m)との関係を示している。この図14は図9と同様の波形を示している。例えば、第1のサンプルホールドスイッチ106aには、図14に示すとおり、ドットクロックDCの6周期のデータ長を有する情報が、このサンプルホールドスイッチ106aを構成するTFTのソースラインに入力される。一方、サンプルホールドスイッチ106aを構成するTFTのゲートには、ナンド回路160a、インバータ162aを経由したサンプリング期間信号SL1-Dat1が入力されている。このサンプリング期間信号SL1-Dat1は、図14に示す通り、相展開信号のデータ長がドットクロック信号の6周期分であるのに対して、その前後で1.5周期分が除去された3周期分のサンプリング期間に設定されている。従って、第1実施例と同様にして、前回のデータの影響を受けない安定したデータを書き込むことが可能となる。

【0118】（プリチャージ動作について）この第2実施例においては、第1実施例に対してサンプリング期間の長さが異なるだけであるので、図11と同様にしてプリチャージ期間を設定することができる。

【0119】（3）第3実施例

この第3実施例は、ドットクロックの6周期分のデータ長を持つ相展開信号と、ドットクロックの2周期分のサンプリング期間を持つサンプリング期間信号とを用いて、液晶表示駆動を実施するものである。

【0120】第1実施例と異なる点は、図1、図7に示すデータ側駆動回路などを、図15、図16に示すものに変更した点である。すなわち、この第3実施例では、図1、図7に示すデータ側駆動回路104及びプリチャージ駆動回路170を、図15に示す一つのデータ信号線駆動回路180に変更した点である。このデータ信号線駆動回路180は、プリチャージ期間の設定とサンプリング期間の設定とに兼用される。

【0121】（データ信号線駆動回路の構成について）図16に示す通り、データ信号線駆動回路180は、第1、第2列のシフトレジスタ300、310を有している。これら各シフトレジスタ300、310に共通に入力されるシフトデータとなる入力信号DXは、図17に示すとおり、ドットクロック信号DCの4周期に亘ってHIGHとなる信号とされている。また、第1列のシフトレジスタ300には、図16に示す第1クロック信号CLK1とその第1反転クロック信号とが入力される。第1クロック信号CLK1は、図17に示すとおり、入力信号DXの半パルス幅のパルスが、入力信号DXのパルス幅の周期で繰り返し出力される。同様に、第2列のシフトレジスタ310には、第2のクロック信号CLK2及びその反転クロック信号がそれぞれ入力される。第

2のクロック信号CLK2は、その立ち上がり時期が、第1のクロック信号CLK1の立ち上がり時期よりも、ドットクロックDCの1周期だけずれたものである。

【0122】各列のシフトレジスタ300、310は、それぞれ多段のマスタースレイブ型クロックドインバータを含んで構成されている。

【0123】この第1列、第2列のシフトレジスタ300、310の出力信号SR1-OUT1、…SR1-OUT4は、図17に示す通りとなる。

【0124】第1のデータ信号ライン112aに接続されたサンプルホールドスイッチ106aの前段に設けられるナンド回路160aには、第1列のシフトレジスタ300の第1段目からの第1の出力信号SR1-OUT1と、第2段目からの第3の出力信号SR1-OUT2とが入力される。従って、このナンド回路160a及びその後段のインバータ162aを経由して得られるサンプリング期間信号SL1-Dat a 1は、第1の出力信号SR1-OUT1と、第3の出力信号SR1-OUT2との論理積となり、図17に示すとおり、ドットクロックDCの2周期の期間がサンプリング期間として設定されることになる。

【0125】同様に、第2のデータ信号ライン112bに接続されたサンプルホールドスイッチ106bの前段では、ナンド回路160bに対して、第2列のシフトレジスタ310の第1段目からの信号SR2-OUT1と、第2段目からの信号SR2-OUT2とが入力される。従って、このナンド回路160b及びその後段のインバータ162bを経由して得られる第2番目のサンプリング期間信号SL2-Dat a 2は、第1番目のサンプリング期間信号SL1-Dat a 1よりも、ドットクロックDCの1周期だけ立ち上がりが遅れるが、サンプリング期間は同様にドットクロックDCの2周期の期間となる。なお、第3のデータ信号ライン以降のデータ信号ラインの場合も同様である。

【0126】また、この第3実施例では、図15、図16に示す通り、例えばデータ信号線112aの一端に、サンプルホールドスイッチ106aと、プリチャージ用スイッチ172aとを並列に接続している。他のデータ信号線についても同様である。

【0127】さらにこの第3実施例では、図16に示す通り、インバータ162aより得られるサンプリング期間信号SL1-Dat a 1を、サンプリング用スイッチ106dと並列接続されたプリチャージ用スイッチ172dの制御端子に入力させている。この結果、データ信号線112aのためのサンプリング期間信号SL1-Dat a 1は、データ信号線172dのためのプリチャージ期間信号として兼用される。このように、第3実施例では、n本目のデータ信号線のためのサンプリング期間信号を、n+3本目のデータ信号線のためのプリチャージ期間信号として兼用している。

【0128】（データサンプリング動作について）図18は、各々のサンプリングスイッチ102に入力される相展開信号Dat a 1～Dat a 6と、サンプリング期間信号SL(n)-Dat a (m)との関係を示している。この図18は図9と同様の信号の波形を示している。例えば、第1のサンプルホールドスイッチ106aには、同図に示すとおり、ドットクロックDCの6周期分のデータ長を有する情報が、このサンプルホールドスイッチ106aを構成するTFTのソースラインに入力される。一方、サンプルホールドスイッチ106aを構成するTFTのゲートには、ナンド回路160a、インバータ162aを経由したサンプリング期間信号SL1-Dat a 1が入力されている。このサンプリング期間信号SL1-Dat a 1は、相展開信号のデータ長がドットクロック信号DCの6周期分であるのに対して、その前後で2周期分が除去された2周期分のサンプリング期間に設定されている。従って、第1、第2実施例と同様に、前回のデータの影響を受けない安定したデータを書き込むことが可能となる。

【0129】（プリチャージ動作について）このデータサンプリングの前に実施されるプリチャージ動作について、図19を参照して説明する。図19は、各データ信号線について設定されるプリチャージ期間T_{PRE}とサンプリング期間T_{SAM}との関係を示している。

【0130】上述した通り、データ信号線駆動回路180は、n本目のデータ信号線について設定されるサンプリング期間を、n+3本目のデータ信号線のプリチャージ期間として利用している。すなわち、図19に示す通り、1本目のデータ信号線112aについて設定されたサンプリング期間を4本目のデータ信号線112dのためのプリチャージ期間として兼用している。同様に、2本目のデータ信号線112bについて設定されたサンプリング期間を5本目のデータ信号線112eのためのプリチャージ期間として兼用している。このように、サンプリング期間信号をプリチャージ信号として兼用できるので、図15、図16に示すように、データ信号線の一端側にプリチャージ用スイッチ及びサンプリング用スイッチを並列接続させ、それらのスイッチを駆動するデータ信号線駆動回路180を一つ設けるだけで済む。従って、図1の場合と比較して回路規模が縮小し、回路レイアウトが容易になると共に、回路基板の小型化に寄与できる。

【0131】ここで、同一のデータ信号線について設定されたプリチャージ期間とサンプリング期間との間には、図18に示すドットクロックDCの1周期分の間隔が設けられる。従って、プリチャージ用スイッチ172a、172b…をオフしてプリチャージが完了したデータ信号線について、サンプリングされたデータ電位を供給することが可能となる。特に、プリチャージ期間を設定するプリチャージ期間信号の供給ラインが引き回さ

れ、その供給ラインの寄生容量に起因して遅延が生じて、上述した間隔によりプリチャージ用スイッチとサンプリング用スイッチとが同時にオンされる事態を防止できる。もし、両スイッチが同時にオンされると、本来のデータ以外の電位がサンプリングされ、画質が劣化してしまうが、本実施例はその弊害を防止できる。

【0132】ここで、第1実施例でのプリチャージ期間を設定を説明した図11においては、プリチャージ期間とサンプリング期間との間に第3実施例と同じ間隔をあけるためには、 n 本目のデータ信号線のためのサンプリング期間を、 $n+5$ 本目のデータ信号線のためのプリチャージ期間として設定しなければならない。この点、第3実施例では、サンプリング期間の長さを第1実施例の場合よりも短くすることで、プリチャージ期間信号のラインの引き回し長さを短くでき、回路レイアウトがより簡易となり、プリチャージ期間信号の遅延も少なくなる。

【0133】(4) 第4実施例

この第4実施例は、第1及び第3実施例の点順次駆動を、相展開数と同数の例えば6画素同時駆動に変更したものである。例えばエンジニアリング・ワークステーション(EWS)であると、ドットクロックが高周波数化(例えば130MHz)され、点順次駆動のための位相差は10ns以下となる。この場合、サンプルホールドスイッチをTFTとすると、到底スイッチングが追従できない。従って、このような場合に複数同時駆動が有効である。以下、この第4実施例を図20～図22を参照して説明する。

【0134】(データ処理回路ブロックの構成及び相展開信号について) 第4実施例においては、第1～第6の相展開信号ラインData1～Data6に出力される第1～第6の相展開信号は、6画素同時書き込みを実現するために、各々の画素データの切り換わりの先頭位置が、図22に示すように一致している。

【0135】このために、この第4実施例では、図20に示すデータ処理ブロック30は、相展開回路32と増幅・反転回路34との間に、サンプルホールド回路36を増設している。相展開回路32にて第1回目のサンプルホールド動作により、図2の通り、各相展開信号の各々の画素データの先頭位置は、ドットクロックDCの1周期ずつずれることになる。しかし、その後段のサンプルホールド回路36にて一括して再度サンプルホールドすることで、図22に示す通り、第1～第6の相展開信号ラインData1～Data6に出力される第1～第6の相展開信号は、各々の画素データの先頭位置が一致する。なお、後段のサンプルホールド回路36として、バッファメモリを用いることができる。また、相展開回路32の前段に、増幅・反転回路34を配置しても良い。

【0136】(データ側駆動回路の構成及びその動作に

ついて) 図20に示す通り、データ側駆動回路104は、第1列のシフトレジスタ400を有している。このシフトレジスタ400に入力されるシフトデータとなる入力信号DX、クロック信号CLK及びその反転クロック信号は、図8(A)に示す第1実施例の入力信号DX、第1クロック信号CLX及びその反転クロック信号と同一である。すなわち、入力信号DXは、図21に示す通り、ドットクロック信号DCの8周期に亘ってHIGHとなる信号とされている。また、クロック信号CLKは、図21に示すとおり、入力信号DXの半パルス幅のパルスが、入力信号DXのパルス幅の周期で繰り返し出力される。

【0137】シフトレジスタ400は、多段のマスタースレイブ型クロックドインバータを含んで構成されている。このシフトレジスタ400の各段の出力信号SL1、…SL8は、図21に示す通りとなる。

【0138】そして、この第4実施例では、第1～第6のデータ信号ライン112a～112fに接続されたサンプルホールドスイッチ106a～106fのゲートには、シフトレジスタ400の第1段目からの第1の出力信号SL1が共通して入力される。

【0139】同様に、第7～第12のデータ信号ライン112g～112lに接続されたサンプルホールドスイッチ106g～106lのゲートには、シフトレジスタ400の第4段目からの第4の出力信号SL4が共通して入力される。なお、第13のデータ信号ライン以降のデータ信号ラインの場合も同様である。

【0140】この結果、図22に示すように、ドットクロックDCの6周期のデータ長の相展開信号に対して、ドットクロックDCの4周期の期間がサンプリング期間として共通に設定されることになる。従って、第1～第3実施例と同様に、前回のデータの影響を受けない安定したデータを書き込むことが可能となる。

【0141】なお、この第4実施例では、第1実施例と同じ入力信号DX、クロック信号CLX及びその反転クロック信号を用いたが、第2、第3実施例の対応する信号を用いることができる。第2実施例の信号を用いると、ドットクロックDCの3周期の期間がサンプリング期間として共通に設定される。同様に、第3実施例の信号を用いると、ドットクロックDCの2周期の期間がサンプリング期間として共通に設定される。

【0142】(プリチャージ動作について) 第4実施例におけるプリチャージのタイミングについて、図23を参照して説明する。この第4実施例では、同時にサンプリングされる6本のデータ信号線112(g)～112(1)のサンプリング期間 T_{SAM} 2の前に設定されるプリチャージ期間 T_{PRE} 2として、同時にサンプリングされる6本のデータ信号線112a～112hのサンプリング期間 T_{SAM} 1を兼用している。これに代えて、水平帰線期間内に、全てのデータ信号線をプリチャージする

ことも可能である。

【0143】(5) 第5実施例

この第5実施例は、第1～第3実施例の変形例であり、図24に示すとおり、データ処理回路ブロック30にて、まず増幅及び極性反転を行い、その後に6相展開を実施している。この場合、図24に示す通り、増幅・極性反転回路34は一系統だけで済む。従って、図3の場合と比較して回路規模が縮小し、6本の相展開信号ライン間の信号電位のばらつきは、6系統のサンプルホールド回路のDCオフセット分のみとなり少なくなる。なお、図3の場合の6本の相展開信号ライン間の信号電位のばらつきは、6個のビデオアンプでのゲインのばらつきが上乗せされてより大きくなる。図24の増幅・極性反転回路34は図5の構成を用いても良く、下記にて説明する第6実施例以降についても同様である。

【0144】(6) 第6実施例

この第6実施例は、第4実施例の変形例であり、第5実施例と同様に、図25に示すとおり、データ処理回路ブロック30にてまず増幅及び極性反転を行い、その後に6相展開を実施している。この場合、図25に示す通り、増幅・極性反転回路34は一系統だけで済む。従って、図3の場合と比較して回路規模が縮小し、6本の画像信号ラインの信号電位のばらつきもすくなくなる。

【0145】図26は、図25の回路の動作を説明するタイミングチャートである。図25の相展開回路32の出力が、図26に示す1回目のサンプルホールド出力に対応し、6相展開された信号となるのは上述の通りである。図25のサンプルホールド回路36に設けられたスイッチ550a～550fは、図26の第2のサンプルホールドクロックSCLK7に基づいて同時にオン・オフ駆動される。この結果、図25のバッファ554a～554fの出力は、図26の2回目のサンプルホールド出力として示すように、各々の画素データの先頭位置が一致する。プリチャージ動作については、第4実施例と同様に実施できる。

【0146】(7) 第7実施例

この第7実施例は、図25の変形例を示し、図27に示す通り、相展開回路32の後段に、2つのサンプルホールド回路36、38を設けている。図28は、図27の回路の動作を説明するタイミングチャートである。図27の相展開回路32の出力が、図28に示す1回目のサンプルホールド出力に対応し、6相展開された信号となる。図27のサンプルホールド回路36に設けられたスイッチ550a～550cは、図28のサンプリングクロックSCLK7に基づいて同時にオン・オフ駆動される。この結果、図27のバッファ554a～554c出力は、図28の2回目のサンプルホールド出力として示すように、各々の画素データの先頭位置が一致する。図27のサンプルホールド回路36に設けられたスイッチ550d～550fは、図28のサンプリングクロック

SCLK8に基づいて同時にオン・オフ駆動される。この結果、図27のバッファ554a～554c出力は、図28の2回目のサンプルホールド出力として示すように、各々の画素データの先頭位置が一致する。図27の最終段のサンプルホールド回路38に設けられたスイッチ560a～560fは、図28のサンプリングクロックSCLK9に基づいて同時にオン・オフ駆動される。この結果、図27のバッファ564a～564fの出力は、図28の3回目のサンプルホールド出力として示すように、各々の画素データの先頭位置が一致する。

【0147】こうすると、各回のデータサンプリングにおいて、6相展開されたデータ長のデータ領域の端部でない部分を常にサンプリングできる。従って、液晶パネルの表示要素に供給される波形に不要な成分が混入することが防止され、画質が向上する。この場合のプリチャージ動作も、第4実施例と同様にして実施される。

【0148】(8) 第8実施例

この第8実施例は、液晶パネルの1ドット及び1ライン毎の極性反転駆動を可能とし、かつ、6本の相展開信号ライン間での信号のばらつきの偏りを低減するものである。

【0149】図29に示すとおり、ビデオアンプ510の出力を入力する第1、第2の極性反転回路600、610が設けられている。この第1、第2の極性反転回路600、610の回路構成は図4と同じであり、最終段のスイッチをそれぞれ第1のスイッチSW1、第2のスイッチSW2とする。この第1、第2のスイッチSW1、2は、ドット反転駆動の場合に、互いに異なる極性を選択するように駆動される。ライン反転のみを行う場合には、この第1、第2のスイッチSW1、2は互いに同一極性を選択するように駆動される。

【0150】第1のスイッチSW1の出力は、相展開回路34の1、3、5番目のスイッチ500a、500c、500eに入力される。第2のスイッチSW2の出力は、相展開回路34の2、4、6番目のスイッチ500b、500d、500fに入力される。

【0151】1番目から6番目のスイッチ500a～500fを駆動するサンプリングクロックSHCL1～SHCL6は、図30に示すように6種類用意され、セレクト信号S1～S6に基づいてタイミング発生回路ブロック20にて発生される。この装置では、液晶パネル10の駆動の水平同期と垂直同期に基づいて、6種類のサンプリングクロックSHCL1～SHCL6の供給を、S1～S6のパターンの中から選択して切り換えている。このために、タイミング発生回路20内には水平同期信号をカウントする6進カウンタが設けられている。6進カウンタがカウントする毎に、換言すれば、図1の走査信号線110が新たに選択される一水平走査(1H)毎に、セレクト信号S1～S6を順に切り換えて出力する。

【0152】ここで、相展開回路32の出力となるバッファ504a～504fの相展開信号出力をそれぞれV1～V6と略称する。この出力V1～V6を、画素位置に並べ替えた場合に、図31に示す駆動法が考えられる。

【0153】図31は、1ライン目はセレクト信号S1、2ライン目はセレクト信号S2、3ライン目はセレクト信号S3、…6ライン目はセレクト信号S6に従ってサンプリング順序を切り換え、以降のラインではこれを繰り返している。図31中の+、-はデータの極性を示し、第1、第2のスイッチSW1、SW2を、タイミング発生回路ブロック20からの信号により切り換えることで、図31の通りのいわゆるドット反転駆動が可能となる。図31の駆動出力は、シリアル画素データa1、a2…(1ライン目)、b1、b2…(2ライン目)で表すと、図32の通りに各画素に供給されなければならない。

【0154】この第8実施例では、図31の出力を図32の通りに各画素に供給されるように、6本の相展開信号出力ライン505a～505fと、6本の相展開信号供給ラインData1～Data6との接続を切り換える接続切換回路(ローテーション回路)700を設けている。この切換は、上述の相展開回路34での相展開順序の切換と同期して行う必要があり、タイミング発生回路ブロック20からの信号に基づいて、図30に示す6通りの中から選ばれる。この切換により、図32に示すドット反転駆動を実現できる。

【0155】ここで、この第8実施例によれば、6本の相展開信号ライン途中の例えばアンプのゲインのばらつきがあったとしても、例えばある一つのアンプのゲインが高くても、従来のように明るい画素が液晶パネル100の縦方向に連続することがなく、斜め方向にちらばるため、視覚上目立たなくすることができる。

【0156】(9)第9実施例

上述の各実施例の画像表示装置を用いて構成される電子機器は、図33に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、上述のタイミング回路ブロック20に相当するクロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、上述の各実施例のデータ処理回路ブロック30に相当し、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、上述の増幅・極性反転回路、相展開回路、ローテーション回路等の他、ガンマ補正回路及びクランプ回路等を含むことができる。駆動回路100

4は、上述の走査側駆動回路102、データ側駆動回路104及びプリチャージ駆動回路160、あるいはデータ線駆動回路180を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

【0157】このような構成の電子機器として、図34に示す液晶プロジェクタ、図35に示すマルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、図36に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0158】図34に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。図34において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚のアクティブマトリクス型液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

【0159】図35に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0160】図36に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

【0161】ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくとも液晶表示パネルが構成される。一方の透明基板に、図33に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされ、図2

9の場合には回路基板1308に搭載できる。

【0162】図36はページの構成を示すものであるから回路基板1308が必要となる。しかし、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図37に示すように、液晶表示基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP(Tape Carrier Package)1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

【0163】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置、CRT等を用いた画像表示装置にも適用可能である。また、相展開数、相展開信号のデータ長及びそれに対するサンプリング期間の長さ、あるいはプリチャージ期間の設定位置及び長さ等は、上記実施例以外の各種の変形が可能である。

【0164】また、上記実施例においては、アナログ画像信号を相展開してサンプルホールドする例に基づいて説明したが、実施例における相展開やサンプリングのための容量をデジタルメモリとすることができる。この場合、デジタル画像信号を、並列な4ビットのデータとしてData1-1~1-4、…Data6-1~6-4の相展開信号に変換し、Data1-1~1-4を同一サンプリング期間信号によりラッチ回路にてサンプリングする。ラッチ回路の出力は、D/A変換やパルス幅変調されて、データ信号線に出力され、スイッチング素子114を介して液晶層116に供給される。

【0165】また、上記実施例においては、TFTを画素のスイッチング素子として用いた例を説明したが、スイッチング素子はMIM等の2端子素子でもよい。この場合、走査信号線とデータ信号線との間に2端子素子と液晶層とが直列接続されて画素が構成されるので、両信号線の差電圧が画素に供給される。

【0166】また、上記実施例においては、TFTをスイッチング素子として用い、液晶パネルの素子が形成された基板をガラスや石英の基板としたが、これに代えて半導体基板を用いることもできる。この場合、TFTで

はなく、MOSトランジスタがスイッチング素子となる。

【0167】

【図面の簡単な説明】

【図1】図1は、本発明の第1実施例に係るアクティブマトリクス型液晶表示装置の概略説明図である。

【図2】図2は、6相展開駆動を説明するための概略説明図である。

【図3】図3は、図1のデータ処理回路ブロックの回路構成例を示す回路図である。

【図4】図4は、図3に示す増幅・極性反転回路の具体例を示す回路図である。

【図5】図5は、図3に示す増幅・極性反転回路の他の具体例を示す回路図である。

【図6】図6は、図3の相展開回路の動作を示すタイミングチャートである。

【図7】図7は、第1実施例のデータ側駆動回路の詳細を示す回路図である。

【図8】図8(A)は図7に示すデータ側駆動回路のタイミングチャート、図8(B)は走査側駆動回路のタイミングチャートである。

【図9】図9は、第1実施例の相展開信号のデータ長と、サンプリング期間の関係を示す特性図である。

【図10】図10(A)(B)は、プリチャージ動作を説明するための概略説明図である。

【図11】図11は、第1実施例でのプリチャージ期間を説明するための概略説明図である。

【図12】図12は、本発明の第2実施例のデータ側駆動回路の詳細を示す回路図である。

【図13】図13は、図12に示すデータ側処理回路のタイミングチャートである。

【図14】図14は、第2実施例の相展開信号のデータ長と、サンプリング期間の関係を示す特性図である。

【図15】図15は、第2実施例でのプリチャージ期間を説明するための概略説明図である。

【図16】図16は、本発明の第3実施例のデータ信号線駆動回路の詳細を示す回路図である。

【図17】図17は、図16に示すデータ信号線駆動回路のタイミングチャートである。

【図18】図18は、第3実施例の相展開信号のデータ長と、サンプリング期間の関係を示す特性図である。

【図19】図19は、第3実施例でのプリチャージ期間を説明するための概略説明図である。

【図20】図20は、本発明の第4実施例のデータ側駆動回路及びデータ処理回路ブロックの詳細を示す回路図である。

【図21】図21は、図20に示すデータ側駆動回路のタイミングチャートである。

【図22】図22は、第4実施例の相展開信号のデータ長と、サンプリング期間の関係を示す特性図である。

【図 23】図 23 は、第 4 実施例でのプリチャージ期間を説明するための概略説明図である。

【図 24】図 24 は、本発明の第 5 実施例のデータ処理回路ブロックの構成例を示す回路図である。

【図 25】図 25 は、本発明の第 6 実施例のデータ処理回路ブロックの構成例を示す回路図である。

【図 26】図 26 は、図 25 の回路での相展開動作を示すタイミングチャートである。

【図 27】図 27 は、本発明の第 7 実施例のデータ処理回路ブロックの構成例を示す回路図である。

【図 28】図 28 は、図 27 の回路での相展開動作を示すタイミングチャートである。

【図 29】図 29 は、本発明の第 8 実施例のデータ処理回路ブロックの構成例を示す回路図である。

【図 30】図 30 は、図 29 に示す相展開回路に入力されるサンプリング期間信号の種類と、それに対応して接続切換回路にて切り換えられるライン接続状態を説明するための概略説明図である。

【図 31】図 31 は、ドット毎の極性反転駆動の際の図 29 に示すバッファ出力を画素位置に並び替えた概略説明図である。

【図 32】図 32 は、図 31 の駆動により達成されるドット毎の極性反転駆動の際の画素データの極性を示す概略説明図である。

【図 33】図 33 は、本発明の第 9 実施例に係る電子機器のブロック図である。

【図 34】図 34 は、本発明が適用されるプロジェクトの概略説明図である。

【図 35】図 35 は、本発明が適用されるパーソナルコンピュータの外観図である。

【図 36】図 36 は、本発明が適用されるページの分解斜視図である。

【図 37】図 37 は、外付け回路を備えた液晶表示装置の一例を示す概略斜視図である。

【図 38】図 38 は、相展開したときの問題点を説明するための概略説明図である。

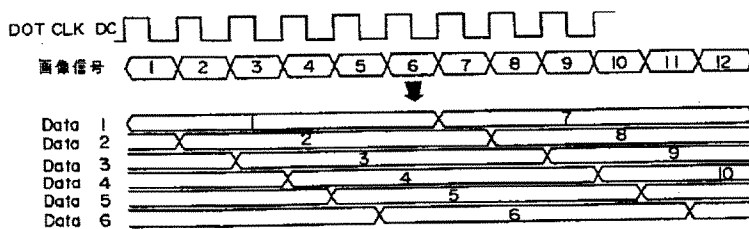
【図 39】図 39 は、図 38 の相展開信号を用いて画像表示したときのゴーストの発生を説明するための概略説明図である。

【図 40】図 40 は、図 39 のゴーストが生ずる波形であって、液晶層に供給される電圧波形を模式的に示す波形図である。

【符号の説明】

- 10 液晶パネルブロック
- 20 タイミング回路ブロック
- 30 データ処理ブロック
- 32 相展開回路
- 34 増幅・反転回路
- 36 サンプルホールド回路
- 100 液晶パネル
- 102 走査側駆動回路
- 104 データ側駆動回路
- 106 サンプルホールドスイッチ
- 110 走査信号ライン
- 112 データ信号ライン
- 114 スイッチング素子
- 116 液晶層
- 120～150 シフトレジスタ
- 170 プリチャージ駆動回路
- 172 a, b プリチャージ用スイッチ
- 174 a, b 第 1, 第 2 のプリチャージライン
- 180 データ信号線駆動回路
- 300, 310 シフトレジスタ

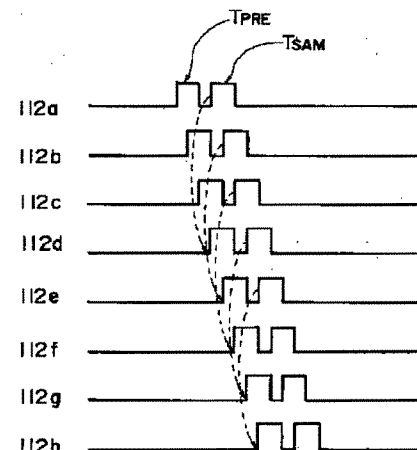
【図 2】



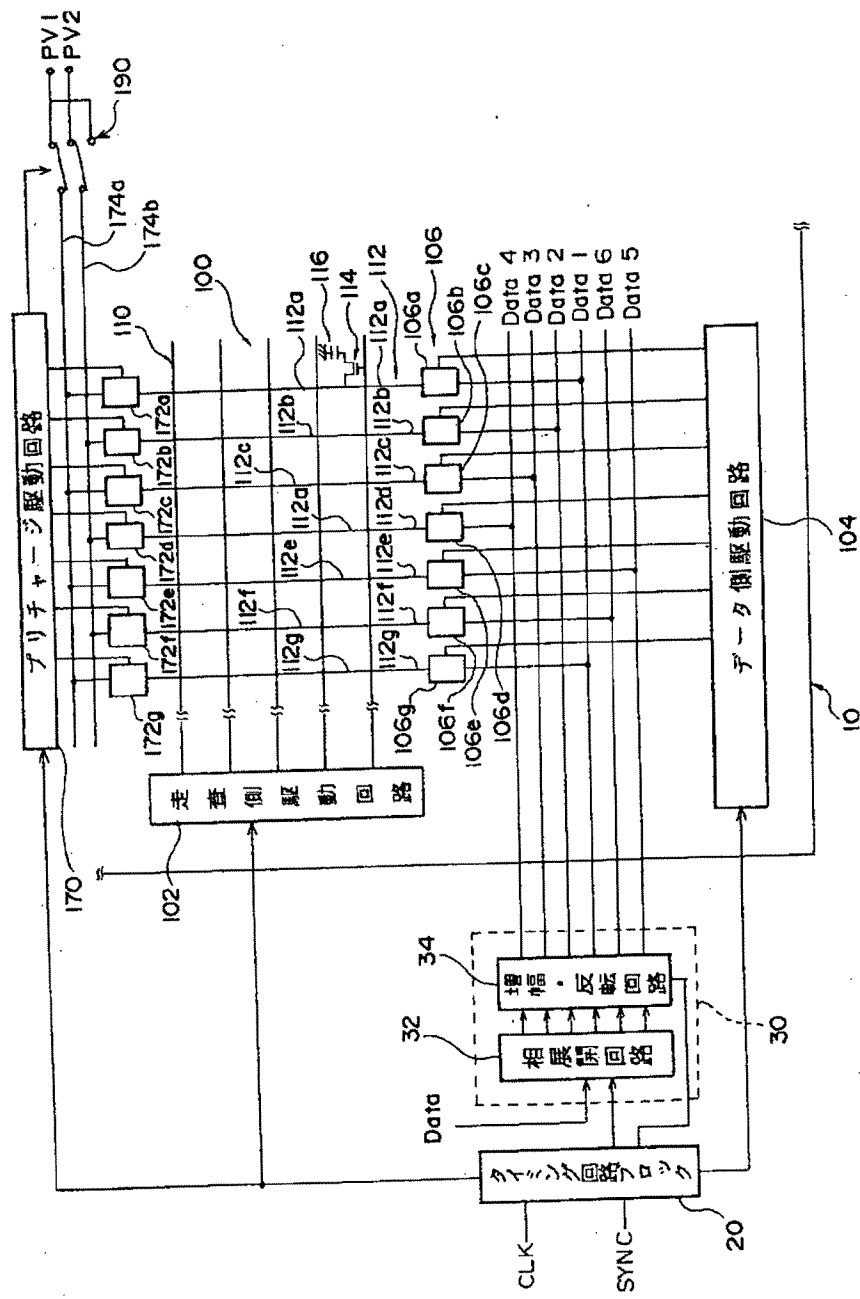
【図 40】



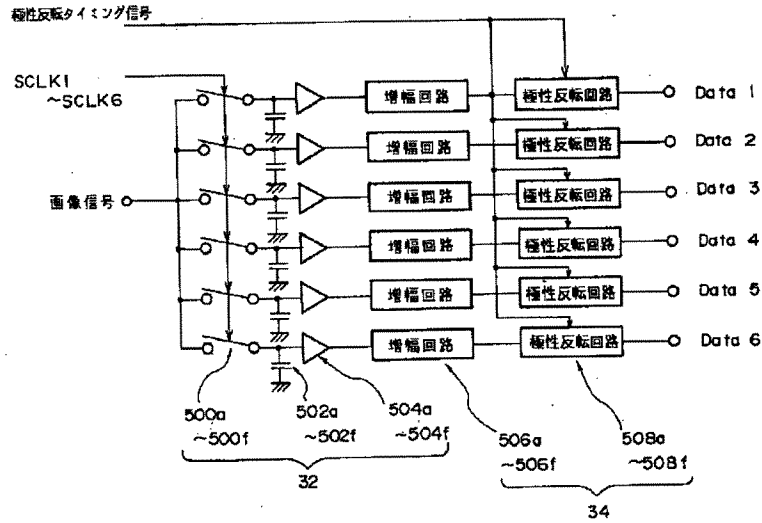
【図 19】



【図1】

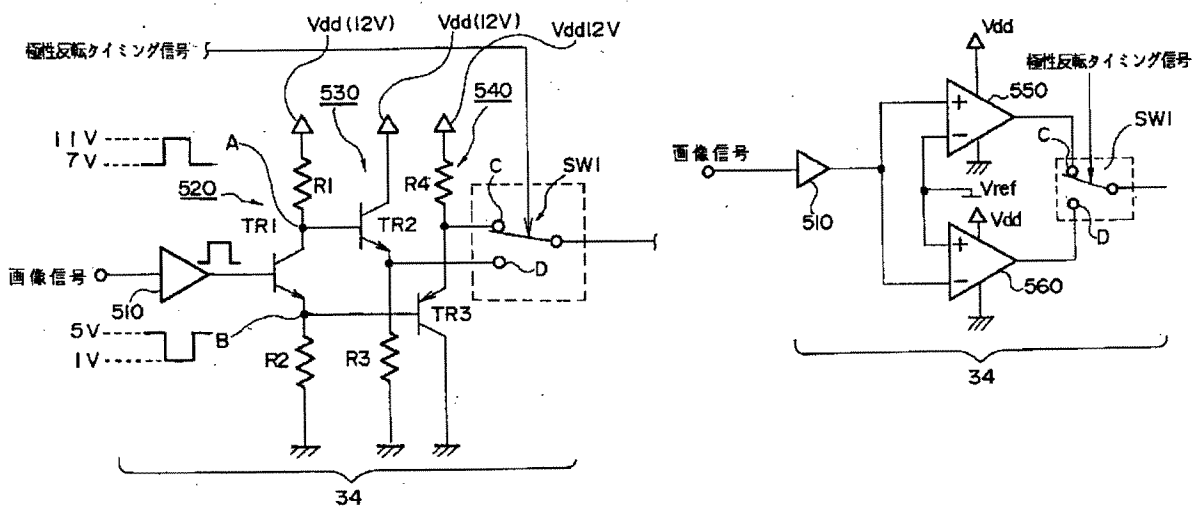


【図3】

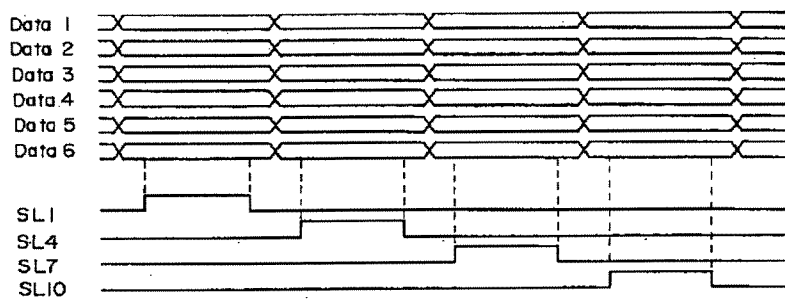


【図4】

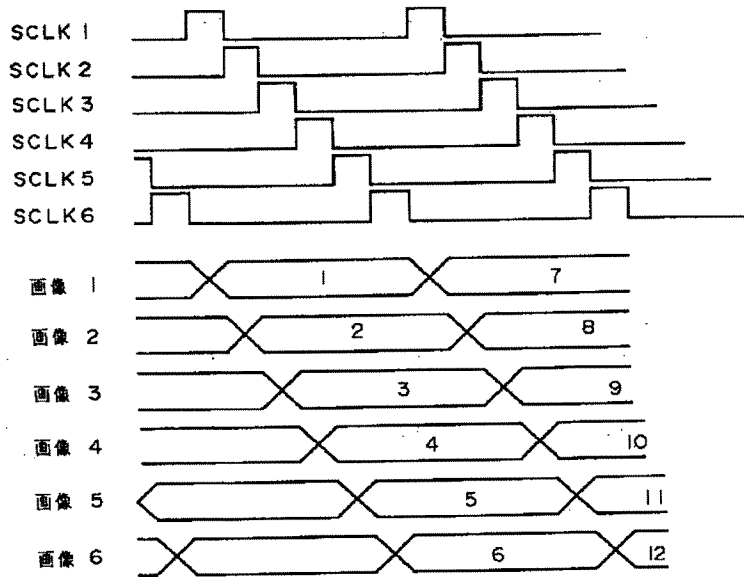
【図5】



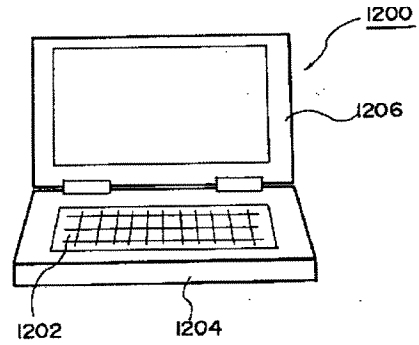
【図22】



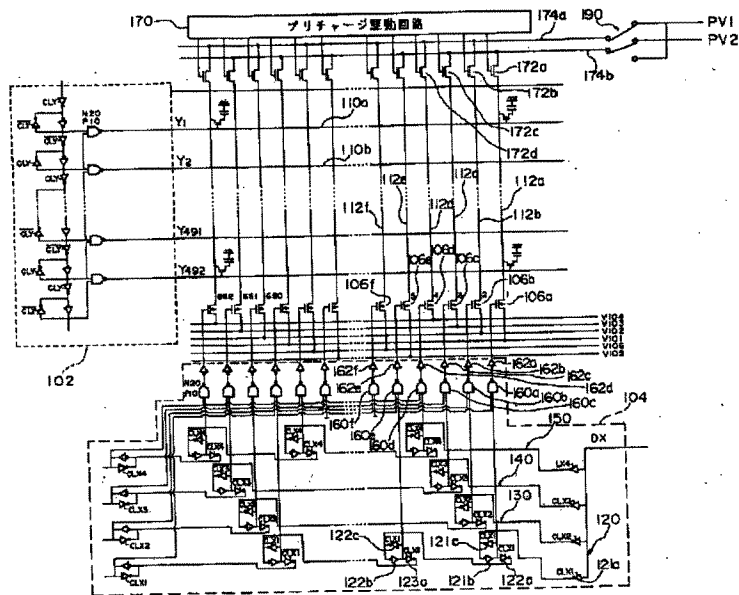
【図6】



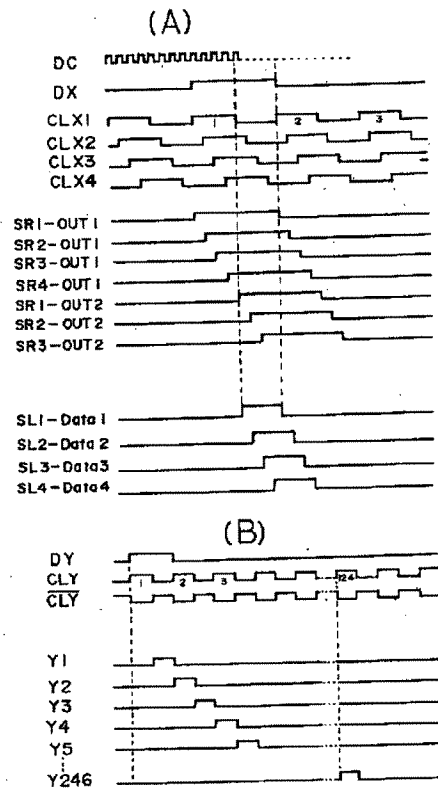
【図35】



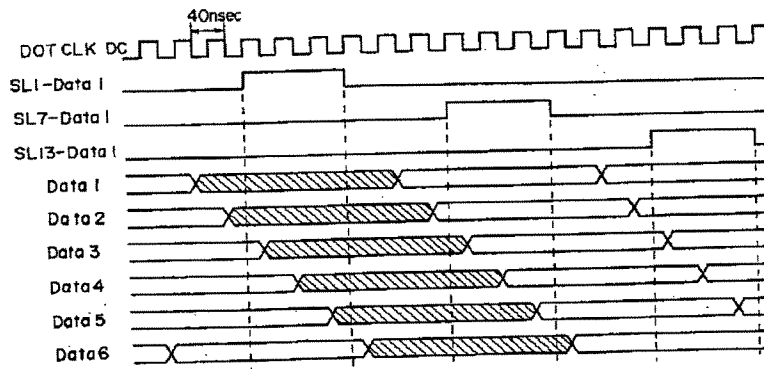
【図7】



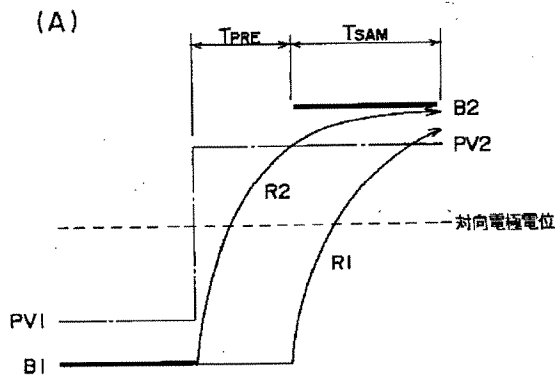
【図8】



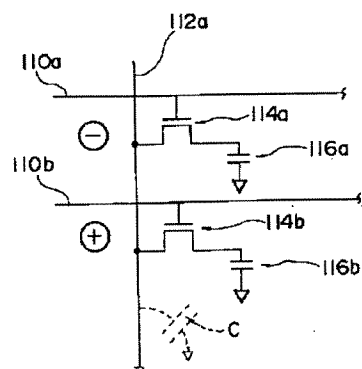
【図9】



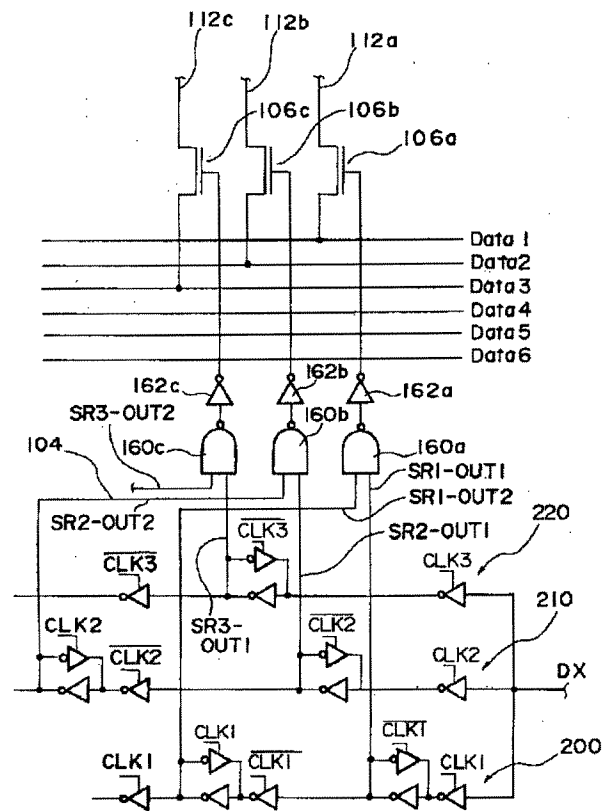
【図10】



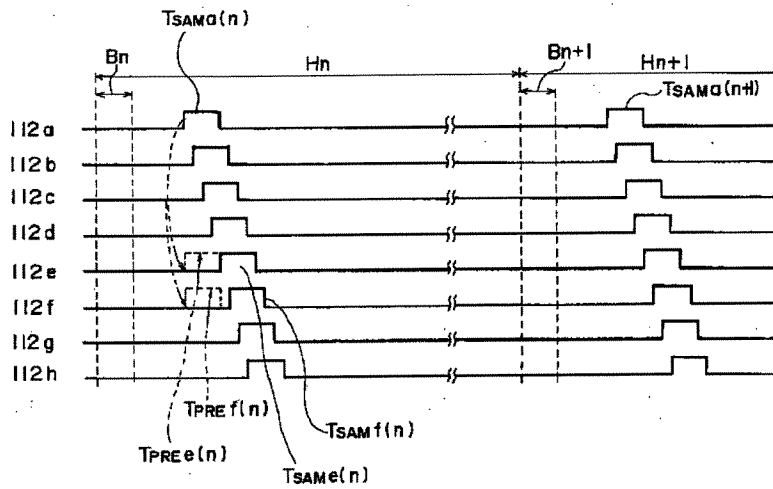
(B)



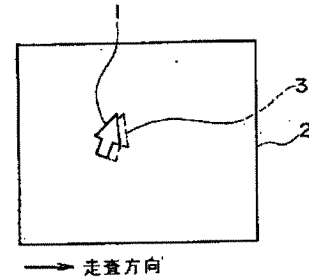
【図12】



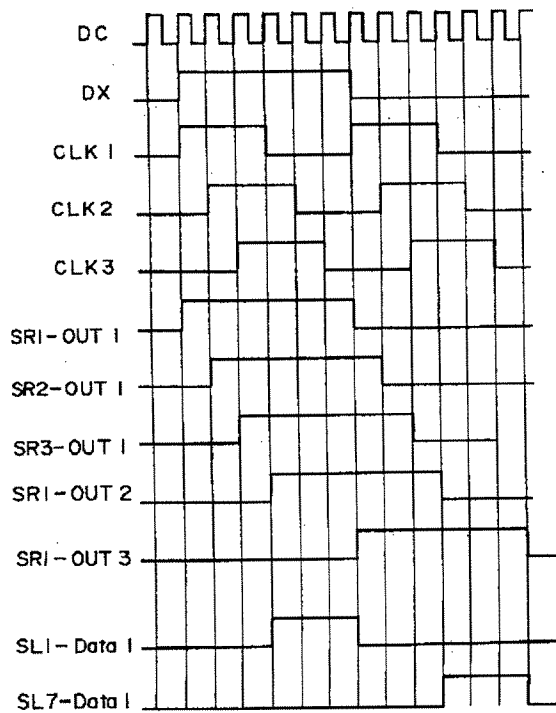
【図11】



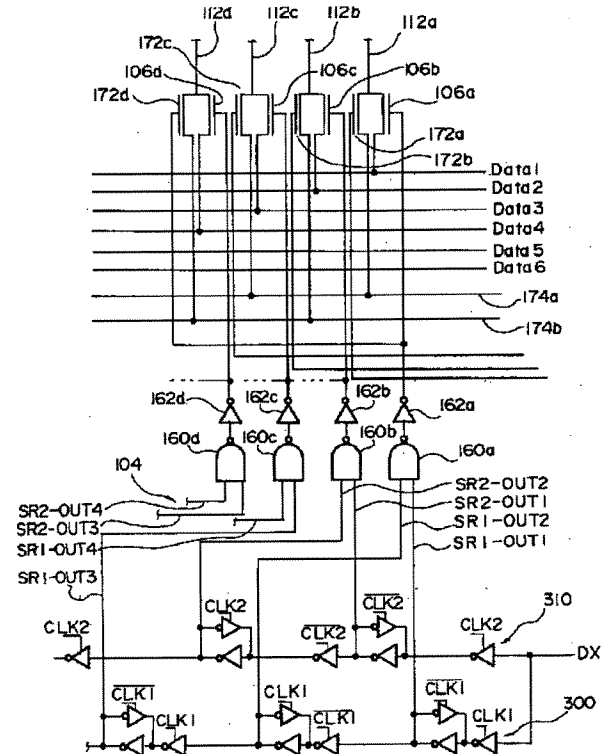
【図39】



【図13】



【図16】



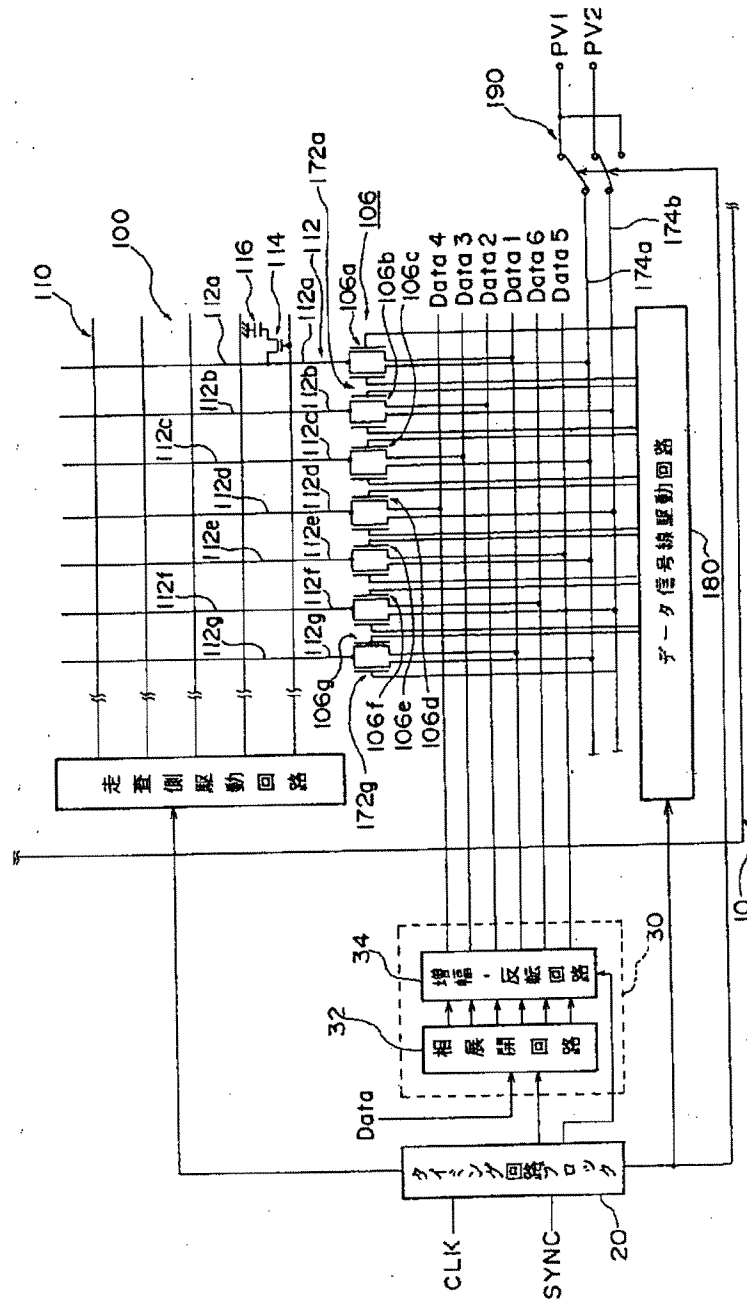
The timing diagram illustrates the digital signals for the 74VHC04B10. The signals are plotted against a common time axis. The signals shown are:

- DC:** A continuous square wave signal.
- DX:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- CLK 1:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- CLK 2:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- SRI-OUT 1:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- SR2-OUT 1:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- SRI-OUT 2:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- SRI-OUT 4:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- SRI-OUT 5:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- SLI-Data 1:** A square wave signal that is high for a duration corresponding to the first two clock cycles.
- SL7-Data 1:** A square wave signal that is high for a duration corresponding to the first two clock cycles.

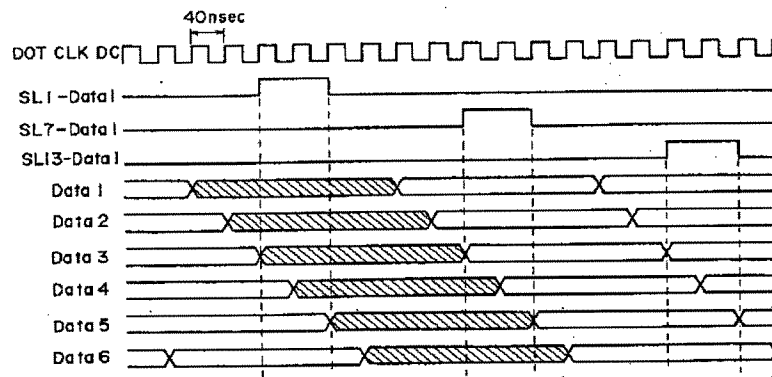
V1+	V2-	V3+	V4-	V5+	V6-	V1+	V2-	...	V1+	V2-
V2-	V3+	V4-	V5+	V6-	V1+	V2-	V3+		V2-	V3+
V3+	V4-	V5+	V6-	V1+	V2-	V3+	V4-		V3+	V4-
V4-	V5+	V6-	V1+	V2-	V3+	V4-	V5+		V4-	V5+
V6-	V1+	V2-	V3+	V4-	V5+	V6-	V1+		V6-	V1+

[illegible]

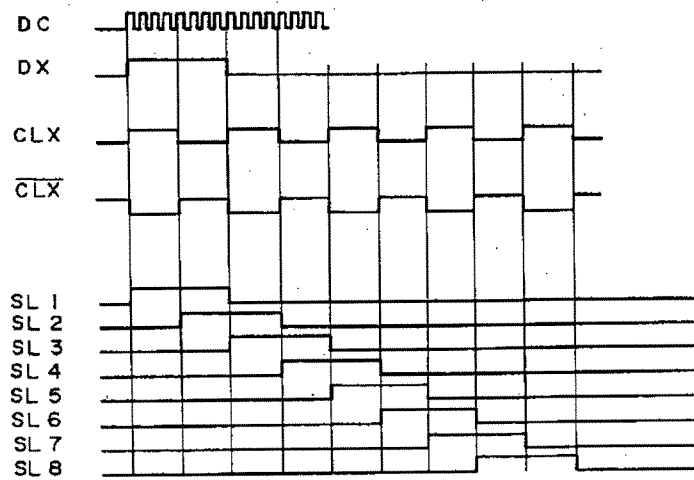
【図15】



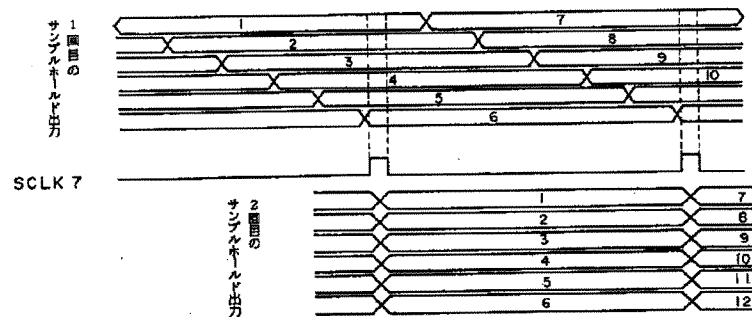
【図18】



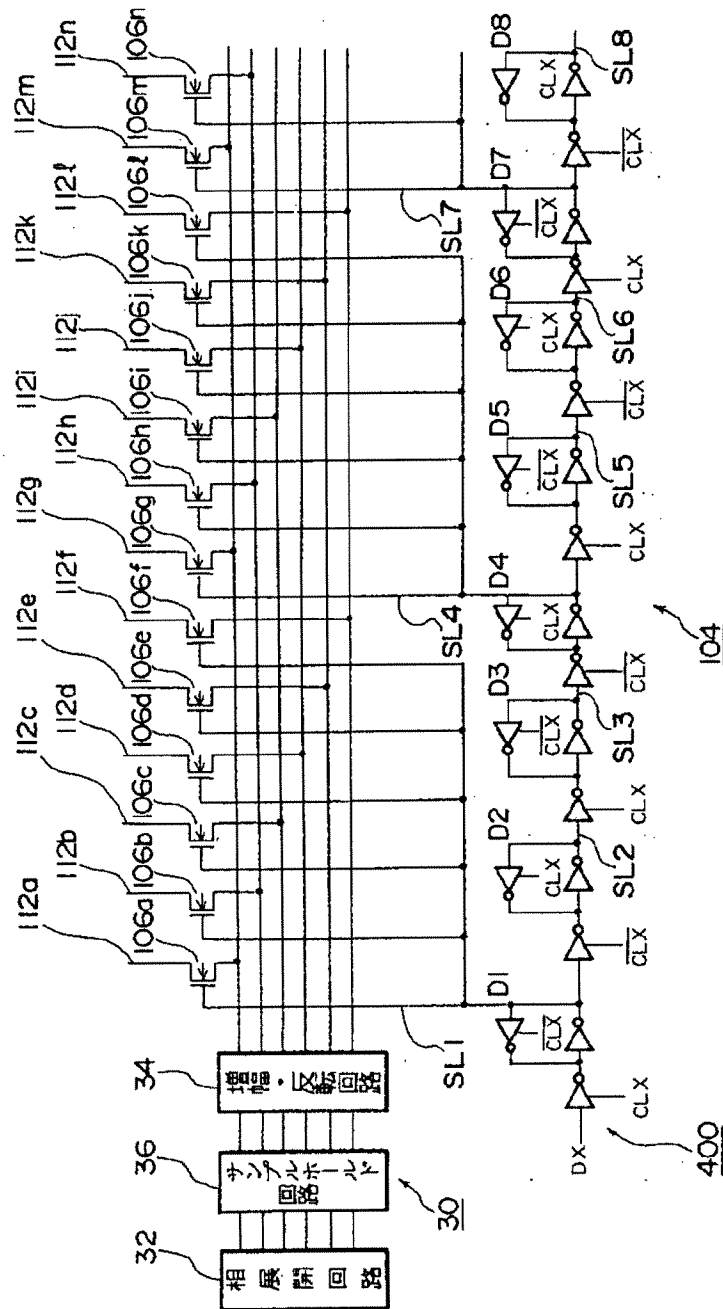
【図21】



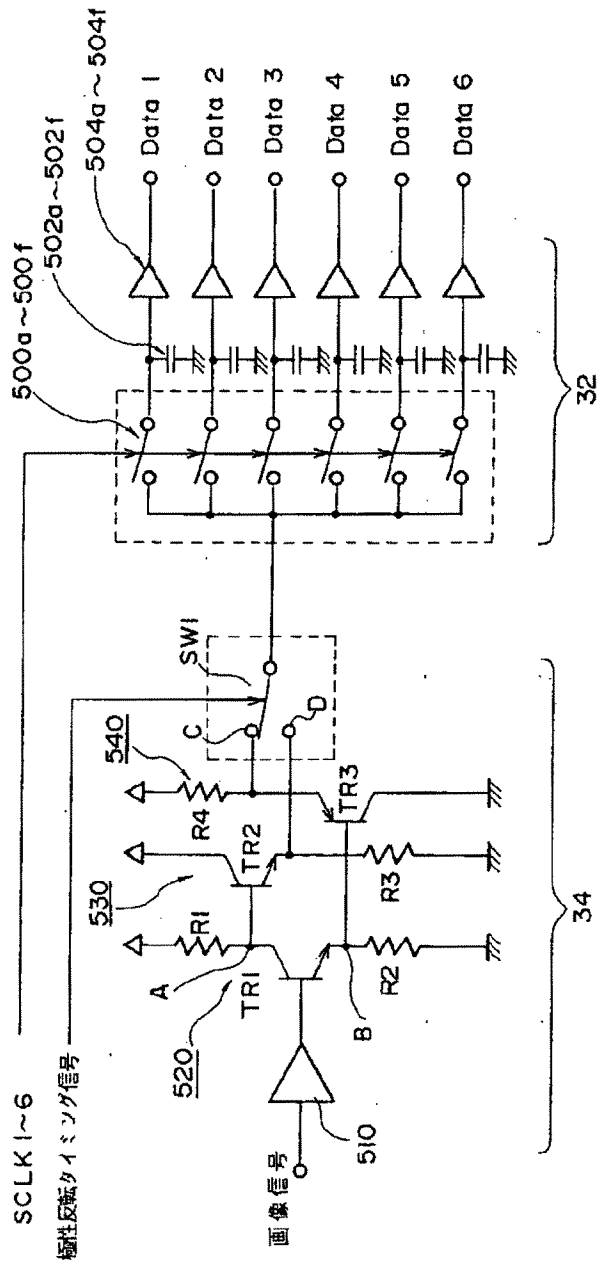
【図26】



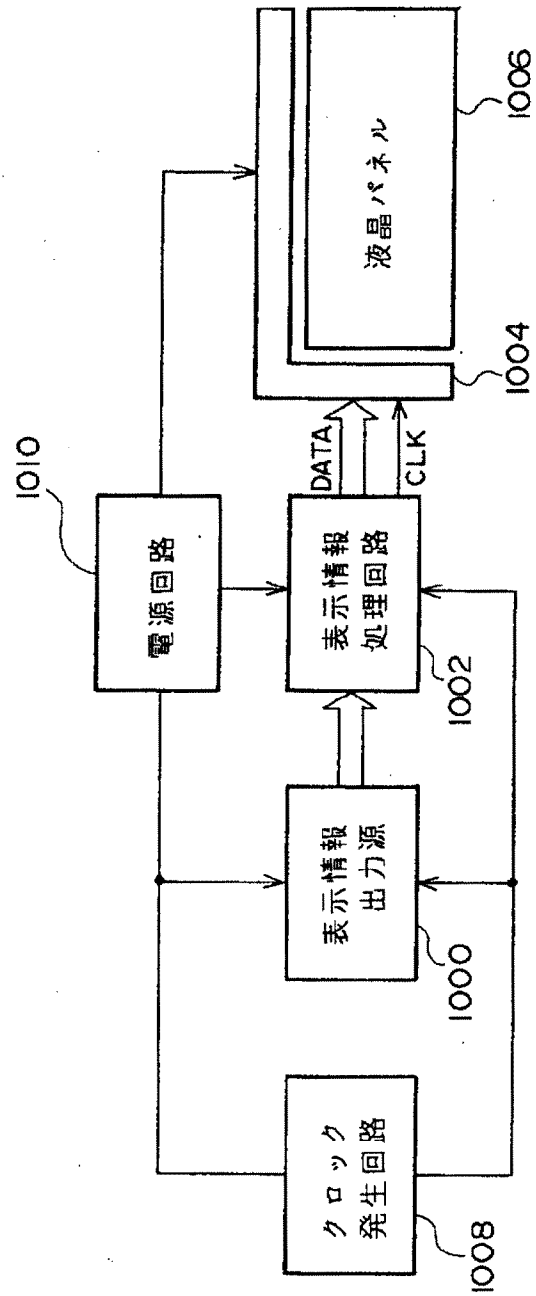
【図20】



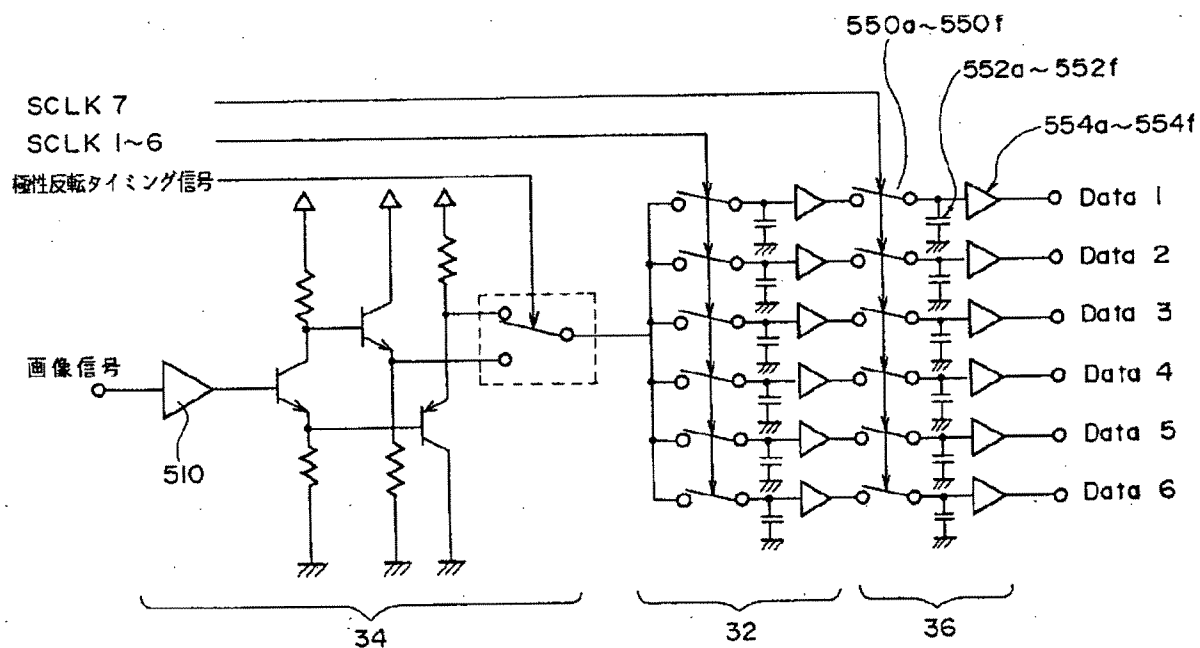
【図24】



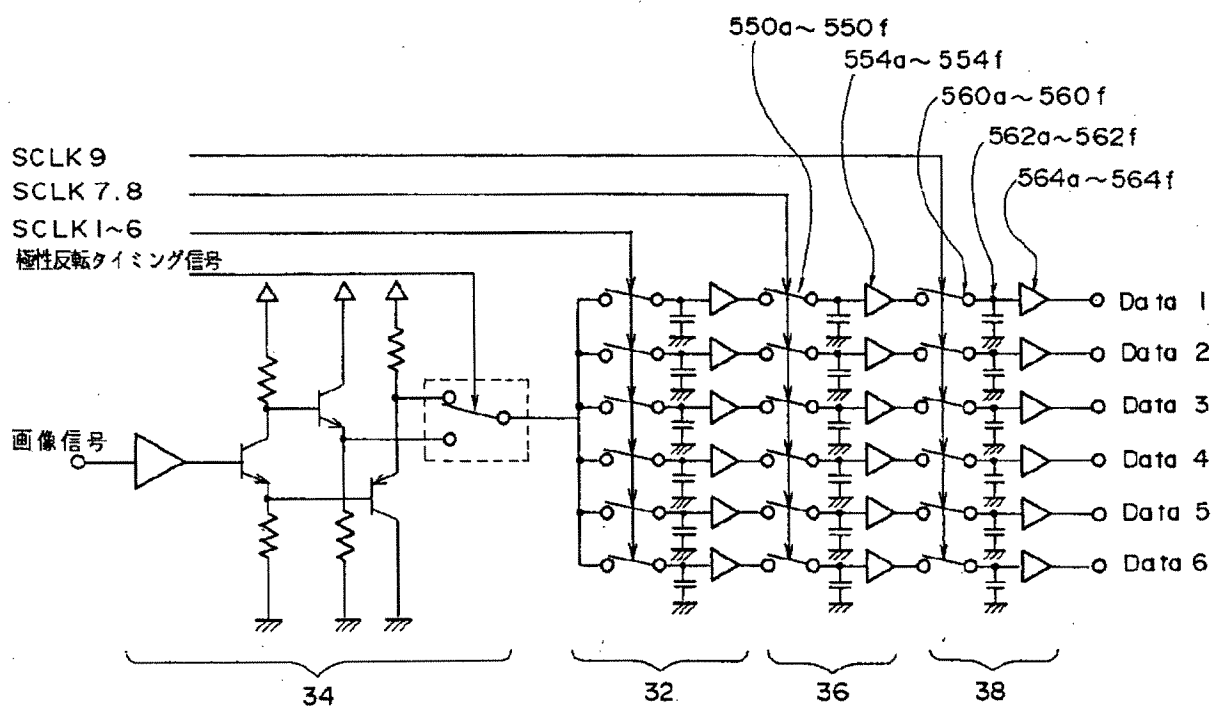
【図33】



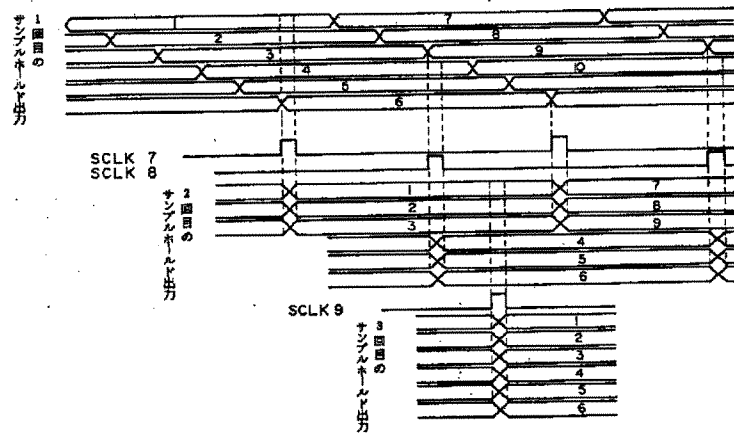
【図25】



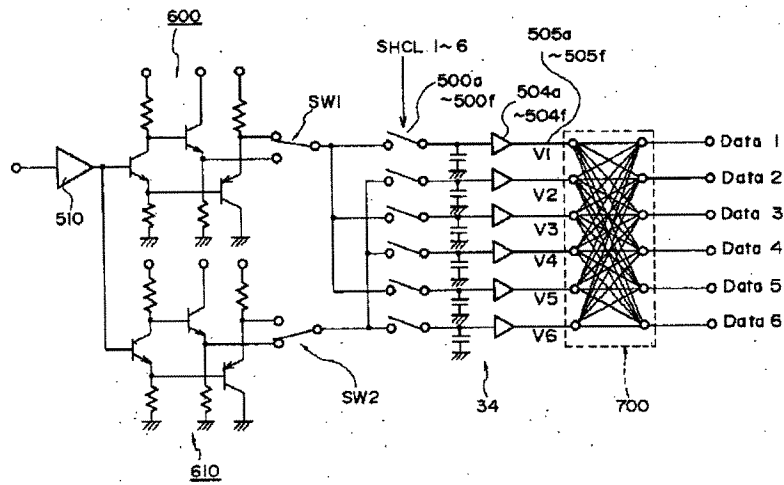
【図27】



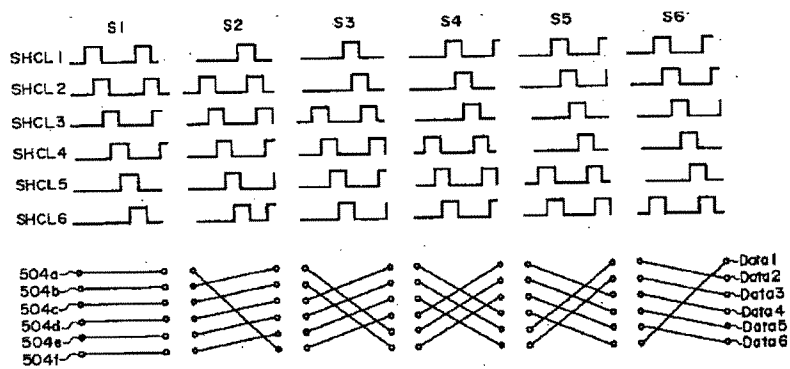
【図28】



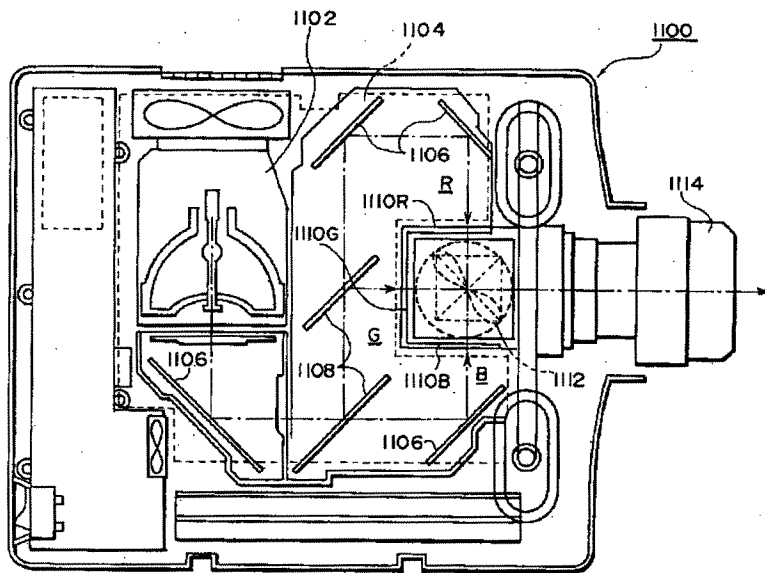
【図29】



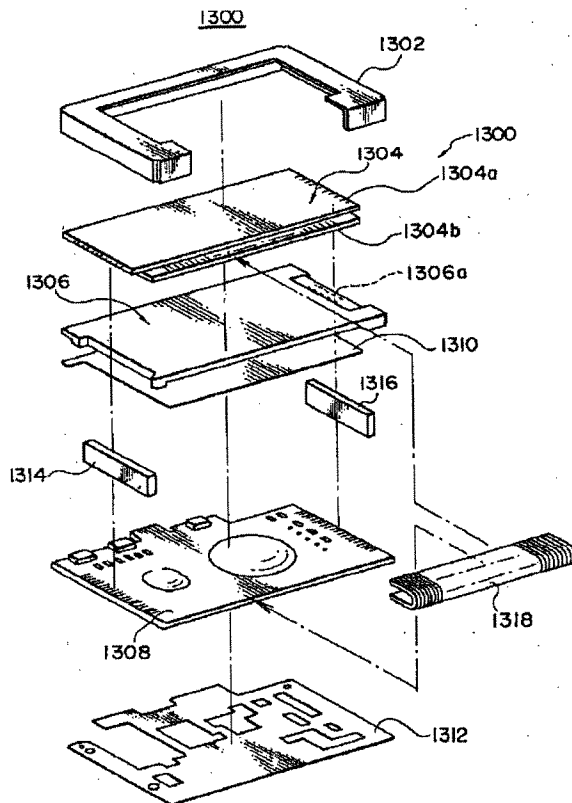
【図30】



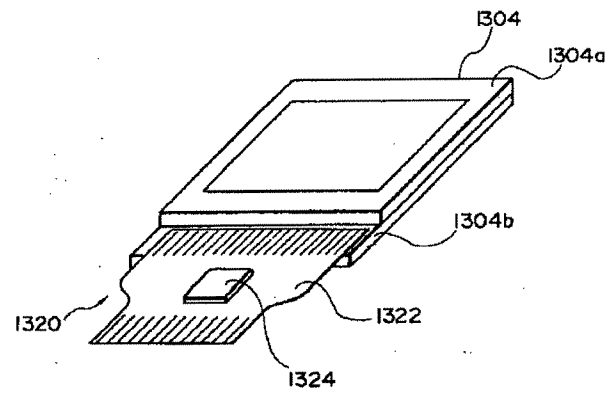
【図34】



【図36】



【図37】



【図38】

